

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/60

H01L 27/00



[12] 发明专利说明书

[21] ZL 专利号 02104721.9

[45] 授权公告日 2005 年 7 月 6 日

[11] 授权公告号 CN 1209816C

[22] 申请日 2002.2.9 [21] 申请号 02104721.9

[71] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹

[72] 发明人 柯明道 张恒祥 王文泰

审查员 钟 翊

[74] 专利代理机构 隆天国际知识产权代理有限公司

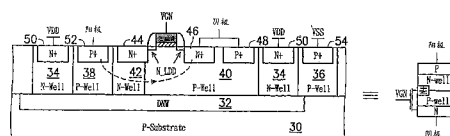
代理人 潘培坤 陈 红

权利要求书 4 页 说明书 13 页 附图 25 页

[54] 发明名称 一种静电放电防护组件及静电放电防护电路

[57] 摘要

本发明公开了一种具有深阱区结构的静电放电 (ESD) 防护组件及相关的 ESD 防护电路, ESD 防护组件设于一耦接至一低电位电压源的 P 型基底上, 其包含有一横向硅控整流器及一深 N 型阱, 横向硅控整流器有一 p 型层、一 N 型层、一第一 N 型阱以及一第一 P 型阱, 该 p 型层作为该 SCR 的一阳极, 该 N 型层作为该 SCR 的一阴极, 该第一 N 型阱设于该 p 型层与该 N 型层之间, 邻接至该 p 型层, 该第一 P 型阱邻接至该 N 型层与该第一 N 型阱, 该深 N 型阱设于该第一 P 型阱与该 P 型基底之间, 用以隔绝该第一 P 型阱至该 P 型基底之间的电连接。本发明的 ESD 防护组件可以被自由的串接多个, 以提高 ESD 防护电路的总保持电压, 并预防栓锁事件的发生。



ISSN 1008-4274

知识产权出版社出版

1.一种静电放电防护组件，设于一耦接至一低电位电压源的 P 型基底，其特征在于：包含有：

5 一横向硅控整流器 SCR，其包含有：

一 p 型层，作为该 SCR 的一阳极；

一 N 型层，作为该 SCR 的一阴极；

一第一 N 型阱，设于该 p 型层与该 N 型层之间，邻接至该 p 型层；

以及

10 一第一 P 型阱，邻接至该 N 型层与该第一 N 型阱；以及

一深 N 型阱，设于该第一 P 型阱与该 P 型基底之间，用以隔绝该第一 P 型阱至该 P 型基底的电连接。

2.如权利要求 1 所述的静电放电防护组件，其特征在于：该 N 型层是以一设于该第一 P 型阱中的一第一 N 型掺杂区所构成。

15 3.如权利要求 1 所述的静电放电防护组件，其特征在于：该第一 P 型阱是耦接至该阴极。

4.如权利要求 1 所述的静电放电防护组件，其特征在于：该深 N 型阱是与定偏压 N 型阱相连接，耦接至一高电位电压源。

5.如权利要求 4 所述的静电放电防护组件，其特征在于：该定偏压 N
20 型阱、该深 N 型阱与该第一 N 型阱是电性隔绝了该第一 P 型阱与该 P 型基底。

6.如权利要求 4 所述的静电放电防护组件，其特征在于：该定偏压 N 型阱、该深 N 型阱与该第一 N 型阱是电性隔绝了该 P 型层与该 P 型基底。

25 7.如权利要求 4 所述的静电放电防护组件，其特征在于：该定偏压的

N 型阱是环绕该横向 SCR。

8.如权利要求 1 所述的静电放电防护组件，其特征在于：该横向 SCR 为一 N 型。

9.如权利要求 1 所述的静电放电防护组件，其特征在于：该横向 SCR 为一 P 型 SCR。

10.如权利要求 1 所述静电放电防护组件，其特征在于：有一第二 N 型阱邻接于该 N 型层下方，该深 N 型阱包含有分开的第一深 N 型阱与一第二深 N 型阱，分别接触该第一 N 型阱与该第二 N 型阱。

11.如权利要求 1 所述静电放电防护组件，其特征在于：该 p 型层是设于该第一 N 型阱中。

12.一种静电放电防护电路，耦接于一第一接合垫与一第二接合垫之间，其特征在于：包含有：

一静电放电防护组件，具有一阳极以及一阴极，设于一耦接至一低电位电压源的 P 型基底上，包含有：

一横向 SCR，其包含有：

一 p 型层，作为该 SCR 的阳极；

一 N 型层，作为该 SCR 的阴极；

一第一 N 型阱，设于该 p 型层与该 N 型层之间，邻接至该 p 型层；

以及

一第一 P 型阱，邻接至该 N 型层与该第一 N 型阱；以及

一深 N 型阱，设于该第一 P 型阱与该 P 型基底之间，用以隔绝该第一 P 型阱至该 P 型基底的电连接；

其中，于一静电放电发生时，该阳极与该阴极分别耦接至该第一接合垫与该第二接合垫。

13.如权利要求 12 的静电放电防护电路，其特征在于：该静电放电防

护电路另包含有一二极管，耦接于一第一接合垫与一第二接合垫之间，且顺向的与该横向 SCR 串连。

14.如权利要求 12 的静电放电防护电路，其特征在于：该横向 SCR 为一 NSCR，该静电放电防护电路另包含有一静电放电监测电路，当一
5 静电放电发生时，用以提供一激活电压予该 NSCR 的控制栅极，以触发该 NSCR。

15.如权利要求 12 的静电放电防护电路，其特征在于：该横向 SCR 为一 PSCR，该静电放电防护电路另包含有一静电放电监测电路，当一静电放电发生时，用以提供一激活电压予该 PSCR 的控制栅极，以触发
10 该 PSCR。

16.如权利要求 14 或 15 的静电放电防护电路，其特征在于：该静电放电监测电路包含有一 RC 电路，用以监测该静电放电的发生。

17.如权利要求 12 的静电放电防护电路，其特征在于：该第一接合垫作为一高电位电压源的一电源输入，该第二接合垫是作为该低电位电压
15 源的电源输入。

18.如权利要求 12 的静电放电防护电路，其特征在于：该第一接合垫作为一高电位电压源的电源输入，该第二接合垫是作为一输出或输入接合垫。

19.如权利要求 12 的静电放电防护电路，其特征在于：该第一接合
20 垫作为一输出或输入接合垫，该第二接合垫作为该低电位电压源的电源输入。

20.如权利要求 12 的静电放电防护电路，其特征在于：该第一接合垫作为一第一电压源的电源输入，该第二接合垫作为一第二电压源的电源输入。

25 21.如权利要求 12 的静电放电防护电路，其特征在于：该静电放电防

护电路另包含有一反向静电放电防护组件，该反向静电放电防护组件具有一阳极耦接至该第二接合垫，以及一阴极耦接至该第一接合垫。

22.如权利要求 12 的静电放电防护电路，其特征在于：该静电放电防护电路包含有多个顺向串联的横向 SCR，耦接于该第一接合垫与该第二接合垫之间。

23.如权利要求 22 所述的静电放电防护电路，其特征在于：该多个横向 SCR 具有多个相对应的保持电压，该多个保持电压的总和大于该第一接合垫与该第二接合垫之间的一最大正常两端电压差。

24.如权利要求 23 所述的静电放电防护电路，其特征在于：该第一接合垫与该第二接合垫均为电源线，该最大正常两端电压差为该电源线之间的电压差。

一种静电放电防护组件及静电放电防护电路

5 技术领域

本发明涉及一种静电放电防护组件及其应用电路，尤指一种用于静电放电（electrostatic discharge，ESD）防护电路的、具有深阱区结构的硅控整流器（silicon controlled rectifier，SCR）组件。

背景技术

- 10 ESD已经是半导体产品中重要的可靠度考量之一，特别是对于缩小尺寸的互补式金氧半导体（complementary metal oxide semiconductor，CMOS）技术。因为金氧半晶体管（metal oxide semiconductor，MOS）的栅氧化层的崩溃电压随着制造过程的技术进步而变低，因此，在每一个输出端口处设置ESD防护电路便成为预防ESD应力对栅氧化层造成
- 15 损害的有效办法之一。

- 因为SCR本身的保持电压 V_{hold} 非常的低（大约为1V左右），在ESD事件中，SCR所产生的热功率（ $I_{ESD} * V_{hold}$ ）将会较其它种类的ESD防护组件，譬如说二极管、MOS、双极型结型晶体管（bipolar junction transistor，BJT）等，来的低。所以，SCR可以在相同的面积下，耐受较高的ESD应力。
- 20 也因此，SCR被广泛运用在许多的ESD防护电路中。一般在CMOS制造过程中，SCR是利用阱区以及重掺杂区形成于基底表面，所以又称为横向SCR（LSCR）。图1（a）为传统的以一LSCR为主要ESD防护组件的ESD防护电路图。图1（b）为图1（a）中的LSCR的剖面示意图。LSCR中的PNPN结构由P+掺杂区10、N型阱12、P型基底14以及N+掺杂区16所形成。
- 25 图1（c）为图1（b）的IV曲线图。图1（b）中的LSCR的触发电压 $V_{trigger}$ 大约等于N型阱12与P型基底14之间的PN接面的崩溃电压，约30到50伏特。此

触发电压 V_{trigger} 高于NMOS与PMOS的栅氧化层的崩溃电压，所以LSCR通常需要一个次级ESD防护组件（如，图1（a）中的MESD）的协助以达到完整的ESD防护效能。

为了使SCR能更有效的保护输出/输入端口，现有技术中也发展出低电压触发的SCR，简称LVTSCR。图2（a）为一般的使用LVTSCR作为ESD防护组件的电路图。图2（b）为图2（a）图中的LVTSCR的剖面示意图。图2（c）为图2（b）中的LVTSCR的IV曲线图。由图2（c）可知，通过NMOS的辅助，触发电压可以降至10伏特左右。

一般传统的SCR或是LVTSCR都直接的与接地（VSS）的P型基底14相耦接，如图1（b）与图2（b）所示。因此，只能用作输出/输入接合垫或是VDD对VSS的ESD防护电路。而且，也因为有共同接地的P型基底14，所以SCR（或是LVTSCR）也无法彼此相串接。

为了生产出具有高抗噪声功能的模拟或是高频集成电路（integrated circuit, IC），在CMOS的制造过程中一般会加入深N型阱制造过程，用以隔绝接地的P型基底以及放置NMOS的P型阱。而且，DRAM制造过程中也经常加入深N型阱制造工艺以隔绝内存数组中的NMOS与外围电路，预防外围电路所产生的噪声影响到储存在内存数组中的数据。然而，一旦噪声触发了如图1（a）或是图2（a）中的SCR与LVTSCR，输出/输入接合垫上的电压将会产生栓锁现象，而无法接收到正确的讯息。

20 发明内容

本发明所要解决的技术问题是在于利用硅控整流器（SCR）组件具有的深阱区结构，提供一种可以串接的SCR结构。

本发明的另一主要的目的是使集成电路的输出/输入端口不受噪声的影响，可以防止栓锁现象的发生。

25 为实现上述的目的，本发明提出一种ESD防护组件，设于一耦接至

一低电位电压源的P型基底（substrate）上。该ESD防护组件包含有一横向硅控整流器以及一深N型阱，该横向硅控整流器有一p型层、一N型层、一第一N型阱以及一第一P型阱，该p型层作为该SCR的一阳极，该N型层作为该SCR的一阴极，该第一N型阱设于该p型层与该N型层之间，邻接至该p型层，该第一P型阱邻接至该N型层与该第一N型阱，该深N型阱设于该第一P型阱与该P型基底之间，用以阻隔该第一P型阱至该P型基底的电连接。

为了更好地实现上述目的，本发明还提出了一种静电放电防护电路，耦接于一第一接合垫与一第二接合垫之间，该静电放电防护电路包含有一具有一阴极以及一阳极的ESD防护组件，该ESD防护组件设于一耦接至一低电位电压源的P型基底上，包含有一横向SCR以及一深N型阱，该横向SCR包含有一p型层、一N型层、一第一N型阱以及一第一P型阱，该p型层作为该SCR的阳极，该N型层作为该SCR之阴极，该第一N型阱设于该p型层与该N型层之间，邻接至该p型层，该第一P型阱邻接至该N型层与该第一N型阱，该深N型阱设于该第一P型阱与该P型基底之间，用以阻隔该第一P型阱至该P型基底之电连接，其中，在一ESD事件发生时，该阳极与该阴极系分别耦接至该第一接合垫与该第二接合垫。

所述静电放电防护组件，其中，有一第二N型阱邻接于该N型层下方，该深N型阱包含有分开的第一深N型阱与一第二深N型阱，分别接触该第一N型阱与该第二N型阱。

本发明的优点在于该深N型阱可以适当的增加该第一P型阱至该P型基底之间的等效电阻，甚至经过适当的设计后，可以隔绝该第一P型阱与该P型基底之间的电连接。因此，本发明的ESD防护组件可以多个串连在一起，以增加整体ESD防护电路的总保持电压，防止栓锁事件的发生。

为使本发明的上述目的、特征和优点能更明显易懂，下文特举一较佳实施例，并配合所附图式，作详细说明如下：

附图说明

图1（a）为传统的以一LSCR为主要ESD防护组件的ESD防护电路图；

图1 (b) 为图1 (a) 中的LSCR的剖面示意图；

图1 (c) 为图1 (b) 的IV曲线图；

图2 (a) 为一般的使用LVTSCR作为ESD防护组件的电路图；

图2 (b) 为图2 (a) 中的LVTSCR之剖面示意图；

5 图2 (c) 为图2 (b) 中的LVTSCR之IV曲线图；

图3 (a) 与图3 (b) 为两个本发明的NSCR的剖面示意图以及其代表符号图；

图4 (a) 与图4 (b) 为两个本发明的PSCR的剖面示意图以及其代表符号图；

10 图5为本发明的另一种NSCR的剖面图；

图6为本发明的另一种PSCR的剖面图；

图7为应用本发明的NSCR的一种VDD与VSS之间的ESD箝制电路；

图8为图7的一种实施例；

图9为应用本发明的PSCR的一种VDD与VSS之间的ESD箝制电路；

15 图10为图9的一种实施例；

图11为在SCR串行中，混合使用本发明的NSCR与PSCR的一种实施例示意图；

图12与图13为两个运用本发明的NSCR与二极管串接的VDD与VSS间的ESD箝制电路；

20 图14与图15为两个运用本发明的PSCR与二极管串接的VDD与VSS间的ESD箝制电路；

图16为本发明之NSCR与PNSCR应用于一输入端的示意图；

图17为图16的一种实施例；

图18为本发明的NSCR与PNSCR应用于一输出端的示意图；

25 图19为图18的一种实施例；

图20为本发明的NSCR与PSCR应用于一输入端的示意图；

图21为本发明的NSCR与PSCR应用于输出端的示意图；

图22为一种运用本发明的NSCR（或PSCR）在分离的VDD（或VSS）间的ESD防护电路示意图；以及

5 图23为另一种运用本发明的NSCR（或PSCR）在分离的VDD（或VSS）间的ESD防护电路示意图。

实施例

第一实施例

在图3(a)中，本发明的NSCR的剖面示意图以及其代表符号图。NSCR
10 表示以NMOS来触发的SCR。图3(a)中的NSCR有三个电极：阳极(anode)、
阴极(cathode)以及控制栅极(V_{GN})。NSCR中的PNPN结构以P型阱
38、N型阱42、P型阱40以及N+掺杂区46所构成。P型阱38以及P+掺杂区
52作为NSCR的阳极。P型阱40与接地的P型基底30中间以深N型阱32相隔
绝。P型阱40中有一个NMOS。NMOS的漏极是以跨越P型阱40与N型阱42
15 之间的PN接面之N+掺杂区44所构成。NMOS的源极是以N+掺杂区46所构
成，同时作为NSCR的阴极。P型阱40通过P+掺杂区48，耦接到阴极。深
N型阱透过N型阱34连接到VDD，放置在整个PNPN结构与P型基底30之
间。在实际的布局上，连接到VDD的N型阱34环绕了整个NSCR组件。P
型基底30通过P型阱36与P+掺杂区54连接到VSS。因此，NSCR的主体可
20 以说是电浮动于接地的P型基底30之上。

当施予栅极一个正电压时，NMOS将会被开启而提供一开启电流进
入P型阱40内，通过栓锁正回馈的机制，此开启电流可以触发NSCR，使
阴极与阳极之间的电压差维持在保持电压（~1V）。NSCR开启后的电流
路径，如图3（a）中的虚线所示。因为P型阱40是与P型基底30相隔绝的，因
25 此，由NMOS所提供的开启电流不会分散到P型基底30。此为本发明的NSCR

与传统的LVTSCR最大的差异处。因为，开启电流被限制由N+掺杂区44流入、从阴极处流出，因此，足以有效的触发NSCR，NSCR的开启速度将可以非常的快速。尤其是当ESD事件时，ESD防护组件的开启速度往往决定了IC的ESD耐受力。ESD防护组件更早开启，代表了可以更早的释放ESD电流，足以使ESD防护的效果更为完备。

图3（b）与图3（a）类似，为另一本发明的NSCR的剖面示意图以及其代表符号图。其中，图3（a）中的P型阱38以N型阱取代，如第3（b）图中的N型阱42。因此，作为阳极的P+掺杂区52设于N型阱42中。图3（b）中NSCR的PNPN结构以P+掺杂区52、N型阱42、P型阱40以及N+掺杂区46所构成。

第二实施例

相同的道理，本发明也可以实施于PSCR。图4（a）为一本发明的PSCR的剖面示意图以及其代表符号图。图4（a）中的PSCR有三个电极：阳极（anode）、阴极（cathode）以及控制栅极（VGP）。PSCR中的PNPN结构一样以P型阱38、N型阱42、P型阱40以及N+掺杂区46所构成。P型阱38以及P+掺杂区52作为PSCR的阳极。P型阱40与接地的P型基底30之间以深N型阱32相隔绝。N型阱42中有一个PMOS。PMOS的源极是以跨越P型阱38与N型阱42之间的PN接面的P+掺杂区52所构成，同时作为PSCR的阳极。PMOS的漏极是以跨越P型阱40与N型阱42之间的PN接面上的P+掺杂区56所构成。P型阱40透过P+掺杂区48，耦接到阴极。深N型阱32通过N型阱34连接到VDD，放置在整个PNPN结构与P型基底30之间。在实际的布局上，连接到VDD的N型阱34环绕了整个PSCR组件。P型基底30通过P型阱36与P+掺杂区54连接到VSS。因此，PSCR的主体可以说是电浮动于接地的P型基底30之上。

当施予栅极一个相对于源极的负电压时，PMOS将会被开启而提供P

型阱40一个开启电流，通过栓锁正回馈的机制，此开启电流可以触发PSCR，使阴极与阳极之间的电压差维持在保持电压。PSCR开启后的电流路径如图4（a）中的虚线所示。因为P型阱40是与P型基底30相隔绝的，因此，由PMOS所提供的开启电流不会分散到P型基底30。此为发明的5 PSCR与传统的LVTSCR最大的差异处。因为，开启电流被限制从阴极处流出，因此，足以有效的触发PSCR，PSCR的开启速度将可以非常的快速，以提供更具时效性的ESD防护功能。

图4（b）与图4（a）类似，为另一本发明的PSCR的剖面示意图以及其代表符号图。其中，图4（a）中的P型阱38以N型阱取代，如图4（b）10 中的N型阱42。因此，作为阳极的P+掺杂区52设于N型阱42中。图4（b）中PSCR的PNPN结构以P+掺杂区52、N型阱42、P型阱40以及N+掺杂区46所构成。

第三实施例

本发明的NSCR也可以使用另一种结构实施，如图5所示。图5为本发明的另一种NSCR的剖面图。在图5中的NSCR有三个电极：阳极15 （anode）、阴极（cathode）以及控制栅极（VGN）。NSCR中的PNPN结构以P+掺杂区52、N型阱42、P型阱40以及N型阱60（或N+掺杂区46）所构成。P+掺杂区52作为NSCR的阳极。P型阱40中有一个NMOS。NMOS的漏极是以跨越P型阱40与N型阱42之间的PN接面的N+掺杂区4420 所构成。NMOS的源极是以N+掺杂区46所构成，同时作为NSCR的阴极。深N型阱3201与3202彼此放置的非常靠近，以增加P型阱40与P型基底30之间的等效电阻。深N型阱3201连接到N型阱60，深N型阱3202连接到N型阱42。只要在控制栅极VGN提供适当的电压，通过深N型阱3201与3202对激活电流的限制，可以加速NSCR的开启速度。图5中的虚线表示25 ESD电流的释放路径。

第四实施例

图6为本发明的另一种PSCR的剖面图。在图6中的PSCR有三个电极：阳极（anode）、阴极（cathode）以及控制栅极（VGP）。PSCR中的PNPN结构以P+掺杂区52、N型阱42、p型阱40以及N型阱60（或N+掺杂区46）所构成。P+掺杂区52作为NSCR的阳极。N型阱42中有一个PMOS。PMOS的漏极是以跨越P型阱40与N型阱42之间的PN接面的P+掺杂区56所构成。PMOS的源极是以P+掺杂区52所构成，同时作为PSCR的阳极。N型阱42透过N+掺杂区62耦接至阳极。深N型阱3201与3202彼此放置的非常靠近，以增加P型阱40与P型基底30之间的等效电阻。深N型阱3201连接到N型阱60，深N型阱3202连接到N型阱42。只要在控制栅极 V_{GP} 提供适当的电压，透过深N型阱3201与3202对激活电流的限制，可以加速PSCR的开启速度。图6中的虚线表示ESD电流的释放路径。

第五实施例

图7为应用本发明NSCR的一种VDD与VSS之间的ESD箝制电路。顺向串接的NSCR_1~NSCR_n连接到VDD电源线与VSS电源线。所有的NSCR的控制栅均连接在一起，受控于一ESD监测电路70。当ESD事件跨压在VDD与VSS电源线上时，ESD监测电路70监测出ESD事件的发生，并提供一个高电压至所有的控制栅，使NSCR_1~NSCR_n开启，以释放ESD电流。许多个NSCR串接的目的是预防栓锁问题的发生。顺向串接的NSCR可以视为一个特别的SCR，其总保持电压 V_{hold_total} 的值等于所有顺向串接个别NSCR之保持电压的总和。也就是说，只要 V_{hold_total} 大于正常操作时的VDD与VSS之间的电压差，就算噪声造成了此特别的SCR开启，也不会产生栓锁现象。假使每个NSCR都一样，避免栓锁现象发生的条件为

$$n > (VDD - VSS) / V_{hold_NSCR};$$

其中，n为NSCR的串接个数， V_{hold_NSCR} 为每一个NSCR的保持电压。

在图8和图7中，本发明的一种实施例，ESD监测电路70以一个串接的电阻R与电容C作为一监测器。CMOS反向器作为一个驱动器。在正常操作时，监测器的输出为高电压，CMOS反向器则输出低电压以关闭所有NSCR中的NMOS。NSCR均为关闭状态。在ESD事件发生时，因为RC延迟效应，监测器的输出会暂时为低电压。所以，CMOS反向器由VDD提供电源，输出高电压，开启所有的NSCR的NMOS。NSCR为开启状态，可以释放ESD电流。为了辨别正常操作与ESD事件，电阻R与电容C的时间常数大约为0.1~1微秒。

第六实施例

10 本发明的PSCR一样也可以应用于VDD与VSS之间的ESD箝制电路，如图9所示。顺向串接的PSCR_1~PSCR_n连接到VDD电源线与VSS电源线。所有的PSCR的控制栅均连接在一起，受控于一ESD监测电路74。当ESD事件跨压在VDD与VSS电源线上时，ESD监测电路74监测出ESD事件的发生，并提供一个低电压至所有的控制栅，使PSCR_1~PSCR_n开启，
15 以释放ESD电流。在正常操作时，ESD监测电路74的输出为高电压，关闭所有PSCR中的PMOS，PSCR均为关闭状态。

在图10和图9中，本发明的一种实施例。ESD监测电路74以一个串接的电阻R与电容C作为一监测器。两个串联的CMOS反向器作为一个驱动器。在正常操作时，监测器的输出为高电压，驱动器则输出高电压以关闭所有PSCR中的PMOS，PSCR均为关闭状态。在ESD事件发生时，因为RC延迟效应，监测器的输出会暂时为低电压。所以，驱动器由VSS提供电源，输出低电压，开启所有的PSCR的PMOS。PSCR为开启状态，可以释放ESD电流。为了辨别正常操作与ESD事件，电阻R与电容C的时间常数大约为0.1~1微秒。

25 第七实施例

在图11中，在SCR串行中，混合使用NSCR与PSCR的一种实施例示意图。在正常电源操作时，ESD监测电路76提供低电压予所有的NSCR中的控制栅，并提供高电压予所有的PSCR中的控制栅。当ESD事件跨压在VDD以及VSS之间时，ESD监测电路76提供高电压予所有的NSCR中的控制栅以开启NMOS，并提供低电压予所有的PSCR中的控制栅以开启PMOS。

第八实施例

本发明的NSCR可以与二极管串行衔接以形成一个VDD与VSS之间的ESD箝制电路，一样也可以防止栓锁的问题。图12与图13为此观念的两个实施例。与二极管串接的目的是提高整个ESD防护电路的保持电压 V_{hold} 。本发明的NSCR可以插入于二极管串行中的任何一个位置，譬如说，在最靠近VDD的位置（如图12），或是最靠近VSS的位置（图13），甚至是中间任何的位置（未显示）。于ESD事件发生时，ESD监测电路70可以提供一个高电压，以开启NSCR中的NMOS，并触发NSCR。

第九实施例

本发明的PSCR可以与二极管串行衔接以形成一个VDD与VSS之间的ESD箝制电路，一样也可以防止栓锁的问题。图14与图15为此观念的两个实施例。与二极管串接的目的是提高整个ESD防护电路的保持电压 V_{hold} 。本发明的PSCR可以插入于二极管串行中的任何一个位置，譬如说，在最靠近VDD的位置（图14），或是最靠近VSS的位置（图15），甚至是中间任何的位置（未显示）。于ESD事件发生时，ESD监测电路72可以提供一个低电压，以开启PSCR中的PMOS，并触发PSCR。

第十实施例

图16为本发明的NSCR与PSCR应用于一输入端的示意图。图17为图16的一种实施例。其中，输入接合垫84与VDD之间设有顺向串接的PSCR_1~PSCR_n，输入接合垫84与VSS之间设有顺向串接的

NSCR_1~NSCR_n。PSCR_1~PSCR_n中所有的控制栅均受ESD监测电路80控制，NSCR_1~NSCR_n中所有的控制栅均受ESD监测电路82控制。在ESD监测电路80或是82之中的RC耦接电路用以监测ESD事件的发生。当一相对于VSS的正ESD脉冲冲击于输入接合垫84时，ESD监测电路82开启NSCR_1~NSCR_n中所有的NMOS，以触发NSCR_1~NSCR_n并释放ESD电流。相同的道理，当一相对于VDD的负ESD脉冲冲击于输入接合垫84时，ESD监测电路80开启PSCR_1~PSCR_n中所有的PMOS，以触发PSCR_1~PSCR_n并释放ESD电流。串接的数目n，如同先前所述，取决于，在一般的电源操作时，输入接合垫84与VDD之间的最大电压差，或是输入接合垫84与VSS之间的最大电压差。

第十一实施例

图18为本发明的NSCR与PNSCR应用于一输出端的示意图。图19为图18的一种实施例。输出接合垫86受输出缓冲器85所驱动。输出接合垫86与VDD之间设有顺向串接的PSCR_1~PSCR_n，输入接合垫86与VSS之间设有顺向串接的NSCR_1~NSCR_n。PSCR_1~PSCR_n中所有的控制栅均受ESD监测电路80控制，NSCR_1~NSCR_n中所有的控制栅均受ESD监测电路82控制。

第十一实施例

本发明的NSCR与PSCR可以与二极管串行衔接以形成一个应用于输出/入端口的ESD防护电路。图20为本发明的NSCR与PSCR应用于输入端的示意图。图21为本发明的NSCR与PSCR应用于输出端的示意图。NSCR_1与多个二极管Dn_2~Dn_k相串接，PSCR_1与多个二极管Dp_2~Dp_k相串接。NSCR与相串接的二极管的数目均不限定为单独一个，而是视保持电压的需求而定。相同的，PSCR与相串接的二极管的数目也不限定为单独一个。

第十二实施例

本发明的NSCR与PSCR可以应用于分离的电源线间的ESD防护电路。分离的电源线一般是为了避免一电路群所产生的噪声透过电源线而干扰了另一个电路群。然而，分离的电源线同时也容易造成不预期的ESD损害。因此，分离的电源线之间也必须加装ESD防护电路。图22为一种运用本发明的NSCR（或PSCR）在分离的VDD（或VSS）间的ESD防护电路示意图。两个双向ESD防护电路90与92分别设于VDDH与VDDL之间，以及VSSH与VSSL之间。PSCR_1与二极管Dp_2~Dp_k彼此顺向串接于VDDH与VDDL之间。当一VDDH对VDDL为正脉冲的ESD事件发生时，ESD监测电路94提供一相对负电压与PSCR_1中的PMOS以触发PSCR_1。二极管Dp_a作为VDDH对VDDL为负脉冲的ESD事件时的ESD防护。NSCR_1与二极管Dn_2~Dn_k彼此顺向串接于VSSH与VSSL之间。当一VSSH对VSSL为正脉冲的ESD事件发生时，ESD监测电路96提供一相对正电压与NSCR_1中的NMOS以触发NSCR_1。二极管Dn_a作为VSSH对VSSL为负脉冲的ESD事件时的ESD防护。而二极管的数目，如同先前所述，可以决定双向ESD防护电路90与92的保持电压，取决于电源线之间的噪声容许值的大小。

第十三实施例

图23为另一种运用本发明的NSCR（或PSCR）在分离的VDD（或VSS）间的ESD防护电路示意图。两个双向的ESD防护电路90与92分别设于VDDH与VDDL之间，以及VSSH与VSSL之间。PSCR_1、PSCR_3与二极管Dp_2、Dp_4、...等彼此顺向串接于VDDH与VDDL之间。当一VDDH对VDDL为正脉冲的ESD事件发生时，ESD监测电路94提供一相对负电压以触发PSCR_1与PSCR_3。二极管Dp_a作为VDDH对VDDL为负脉冲的ESD事件时的ESD防护。NSCR_1、NSCR_3与二极管Dn_2、Dn_4、...等彼此顺向串接于VSSH与VSSL之间。当一VSSH对VSSL为正脉冲的ESD事件发生时，ESD监测

电路96提供一相对正电压以触发NSCR_1与NSCR_3。二极管DN_a作为VSSH对VSSL为负脉冲的ESD事件时的ESD防护。而二极管的数目与NSCR（或PSCR）的数目可以决定双向ESD防护电路90与92的保持电压。如果，VDDL与VDDH之间需要有更高的噪声隔绝效果，则ESD防护电路90中的PSCR之数目或是二极管的数目要增加。相同的道理也适用于ESD防护电路92。

相比于现有的NSCR或是PSCR，其中的P型阱均直接耦接至接地的P型基底，本发明的NSCR或是PSCR中的P型阱利用了制造过程中所产生的深N型阱来增加P型阱到P型基底之间的阻值，甚至是隔绝了P型阱到P型基底之间的电性连接。因此，本发明的NSCR与PSCR可以使用多个顺向串连的方式，提高ESD防护电路的保持电压，达到避免栓锁现象的发生。而且，不论是输出端对电源线，或是电源线之间的ESD防护电路，均可以应用本发明的NSCR或是PSCR。

本发明虽以一较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，当可做些许的更动与润饰，因此本发明的保护范围为权利要求书要求保护的范围为准。

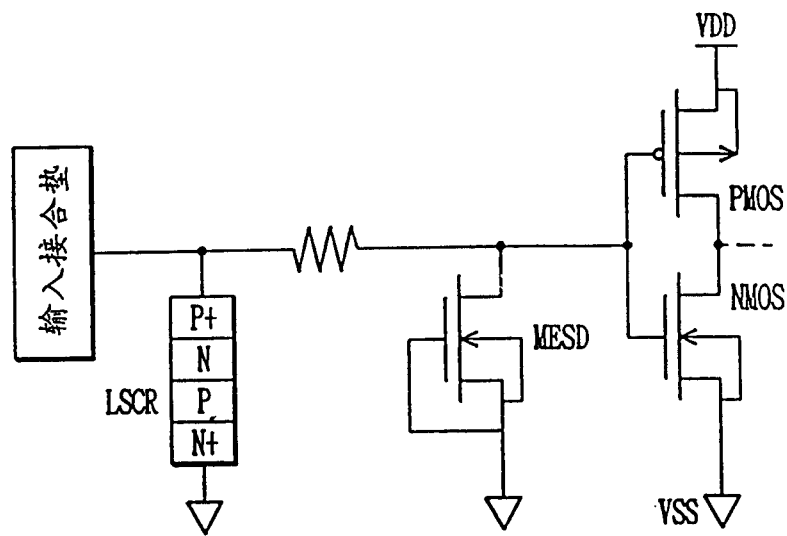


图 1a

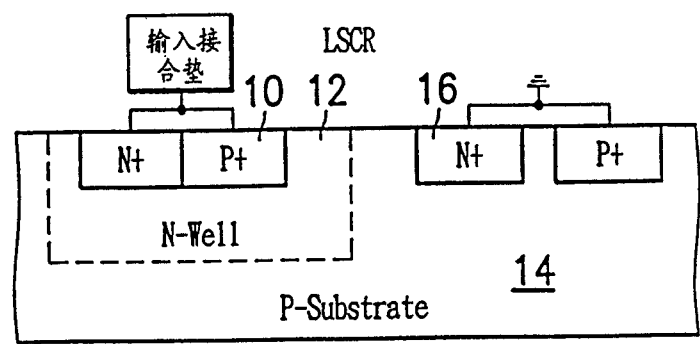


图 1b

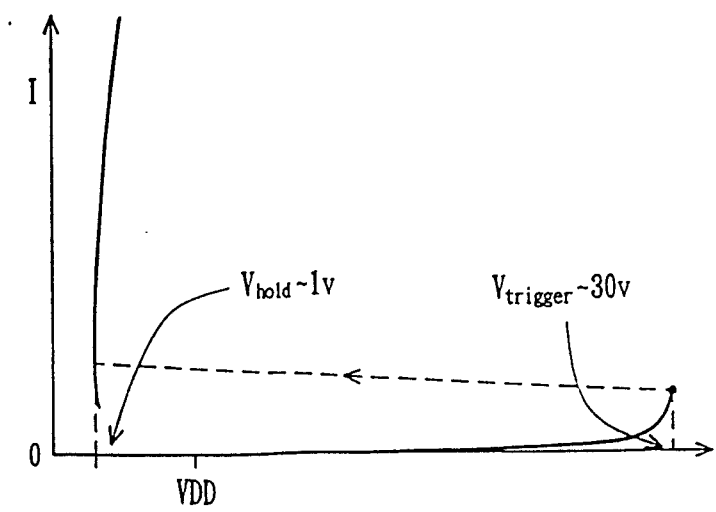


图 1c

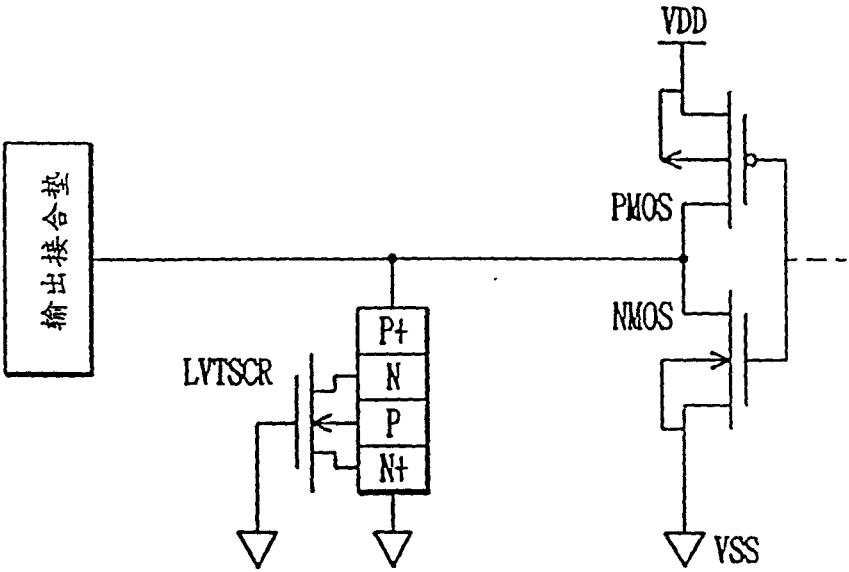


图 2a

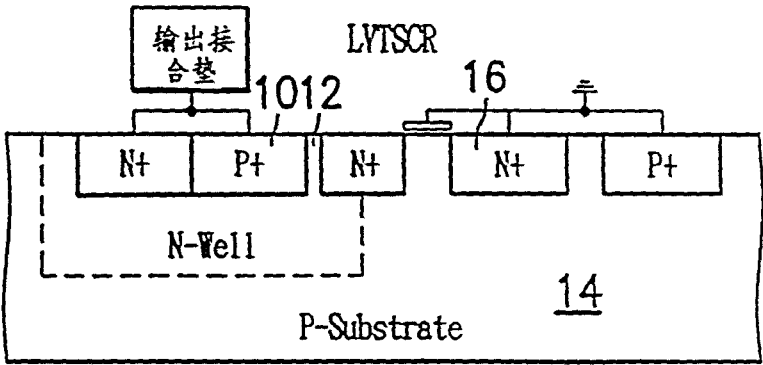


图 2b

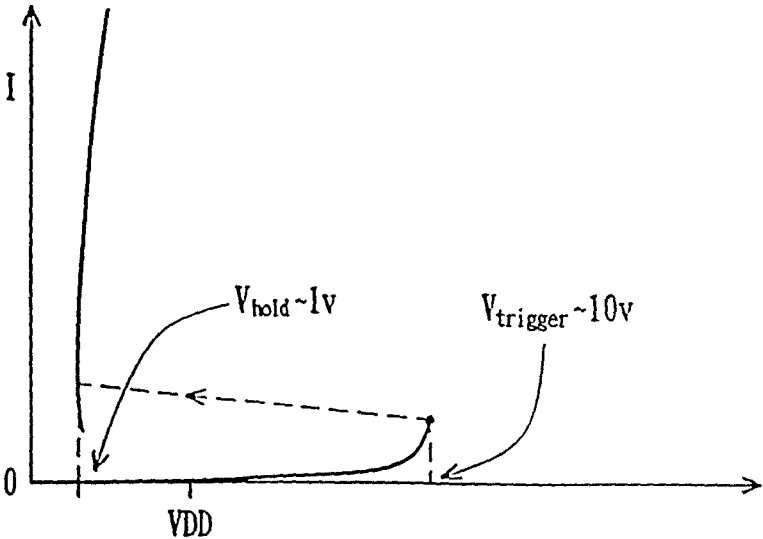


图 2c

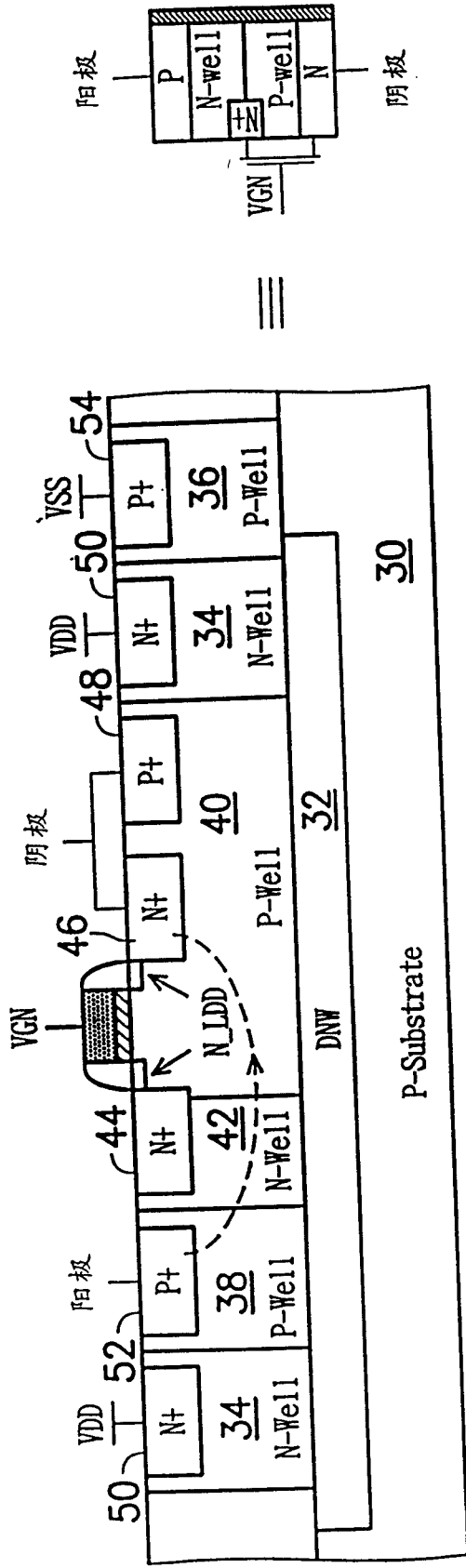


图 3a

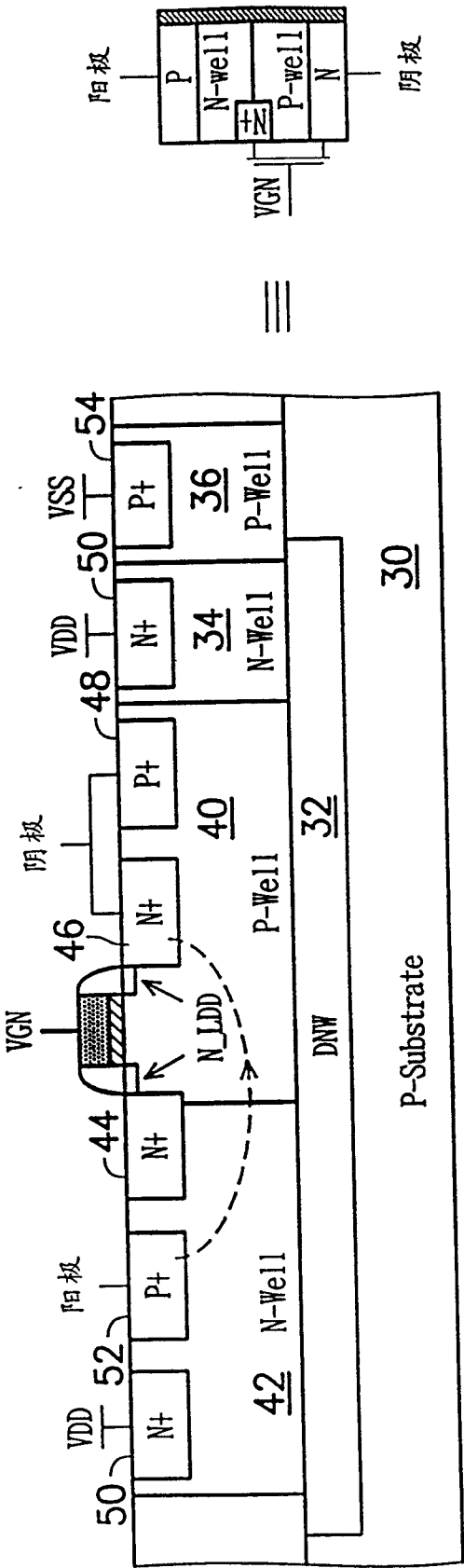


图 3b

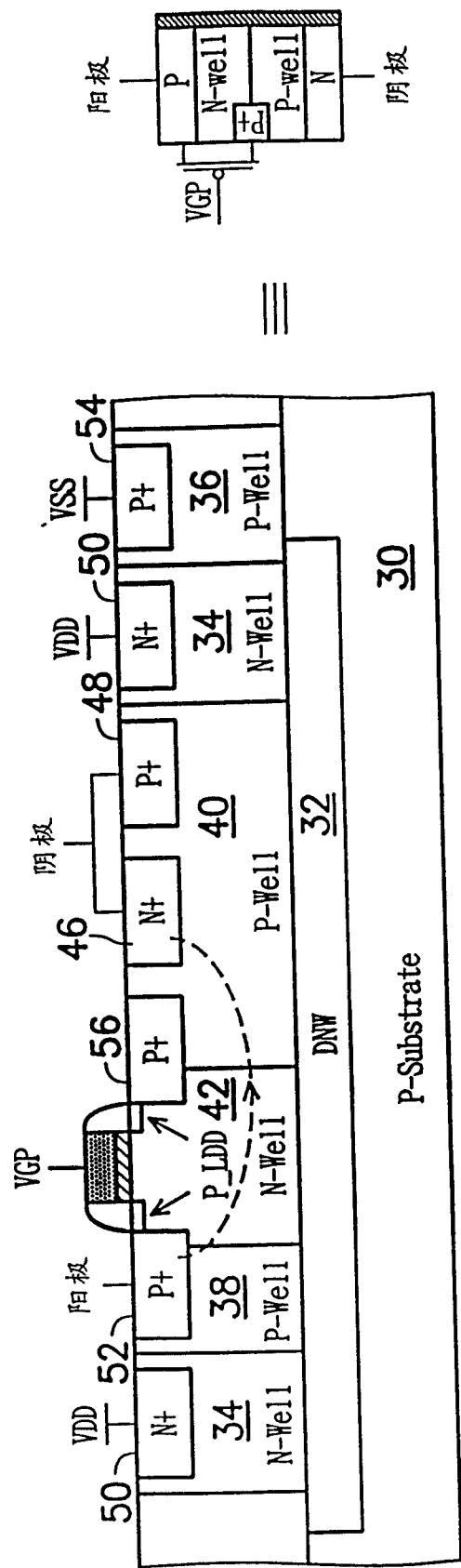


图 4a

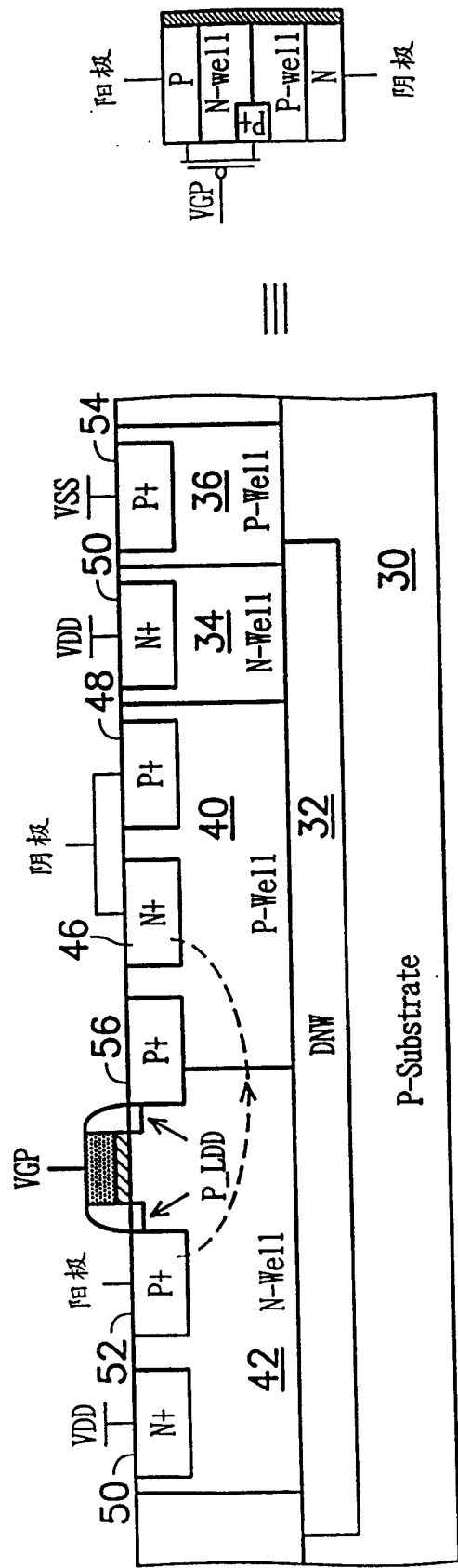


图 4b

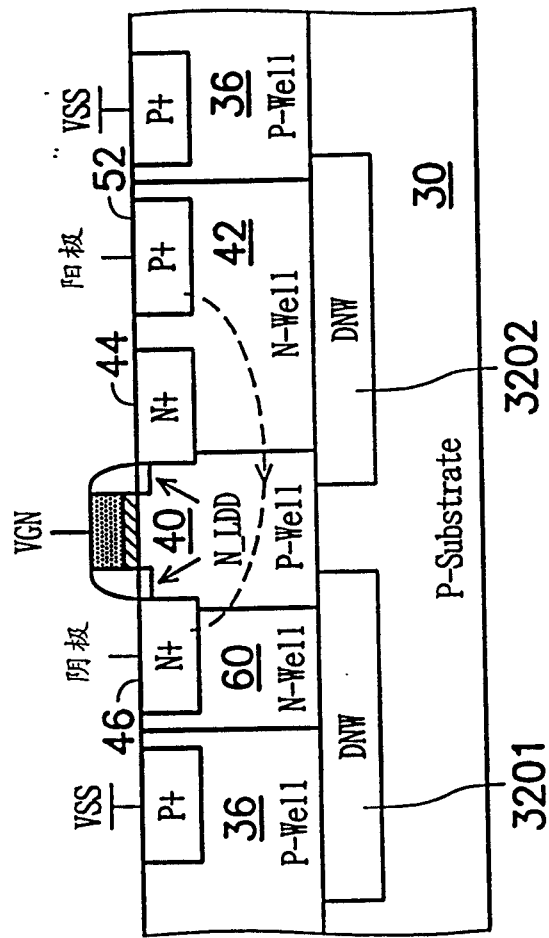


图 5

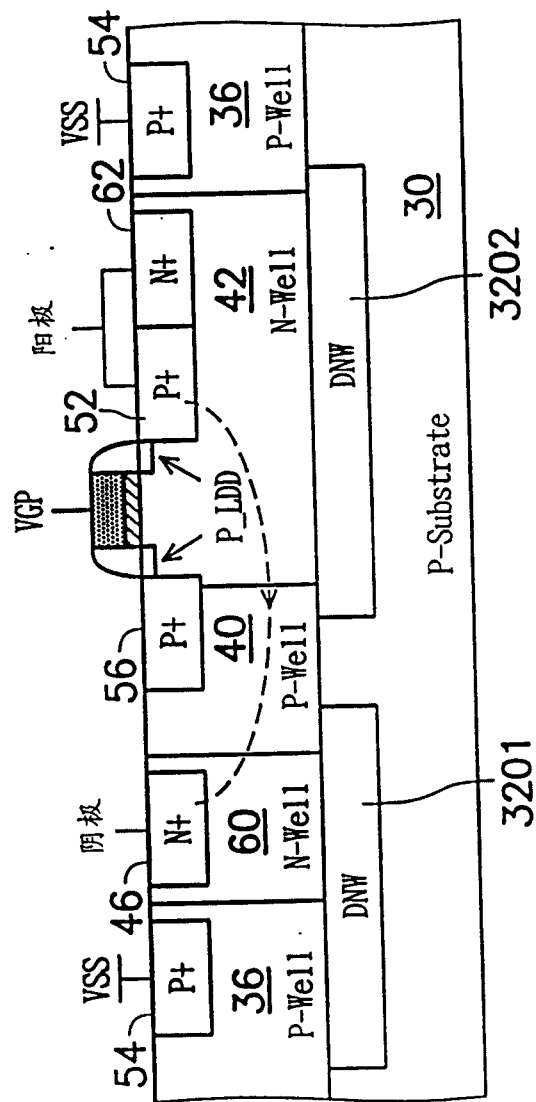


图 6

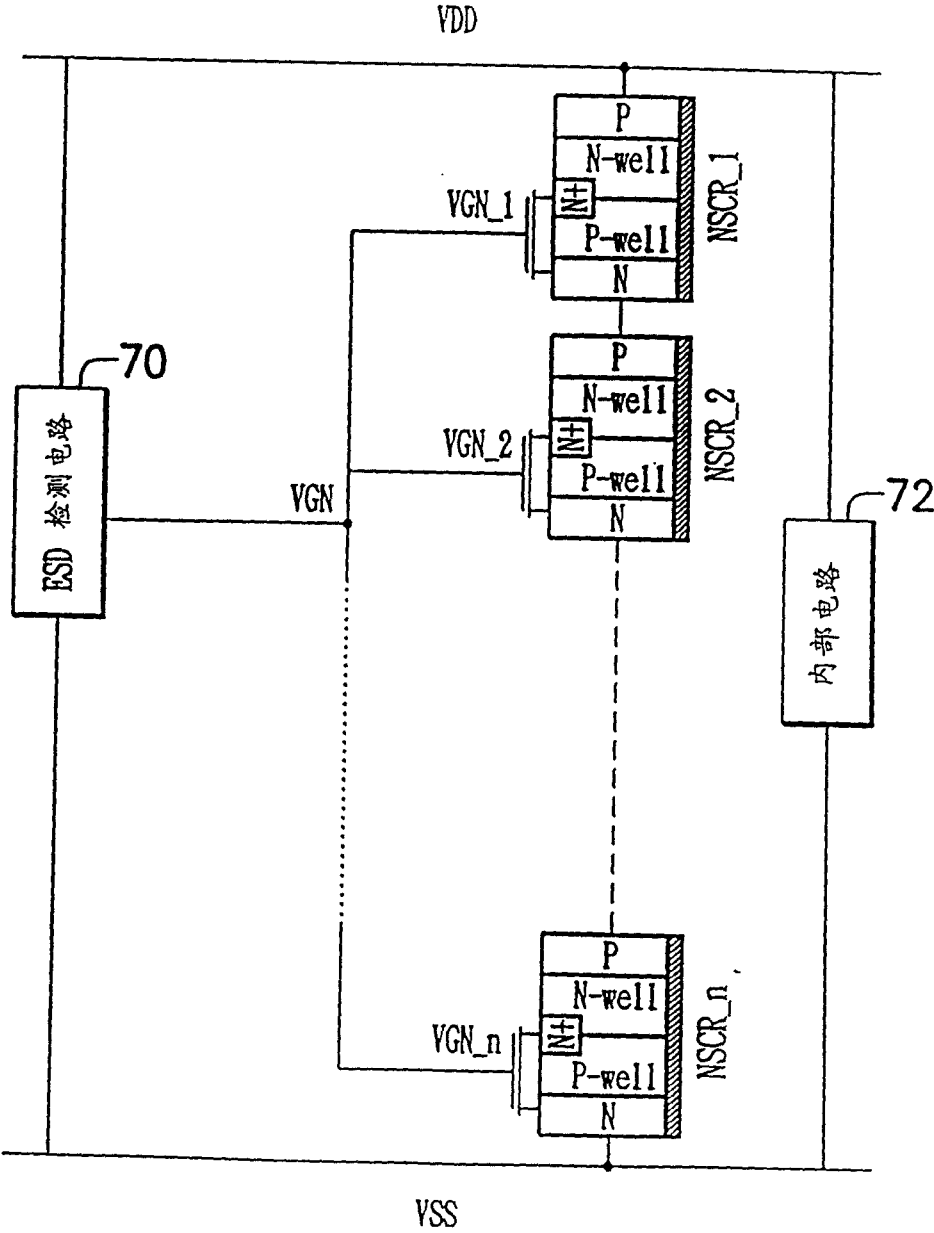


图 7

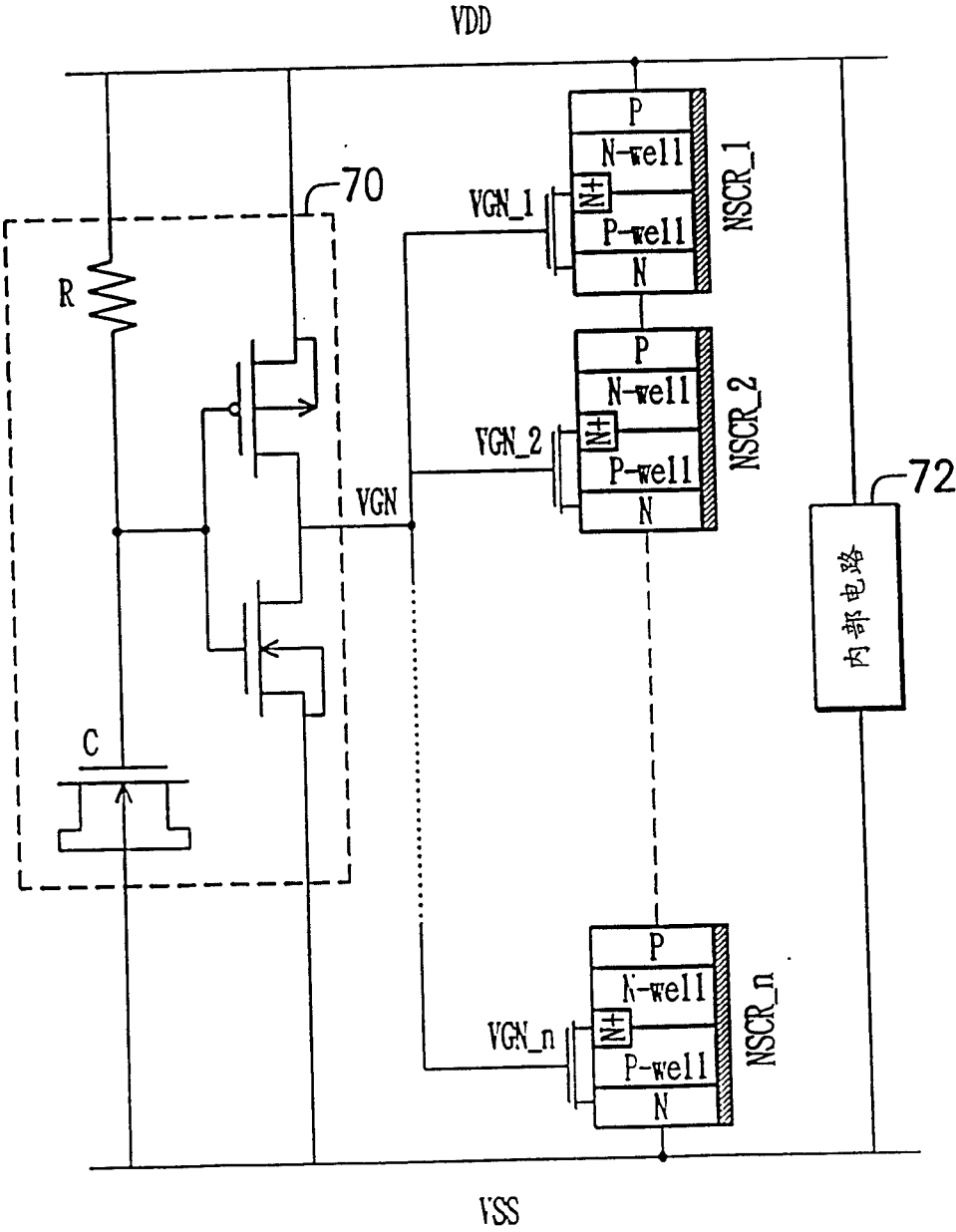


图 8

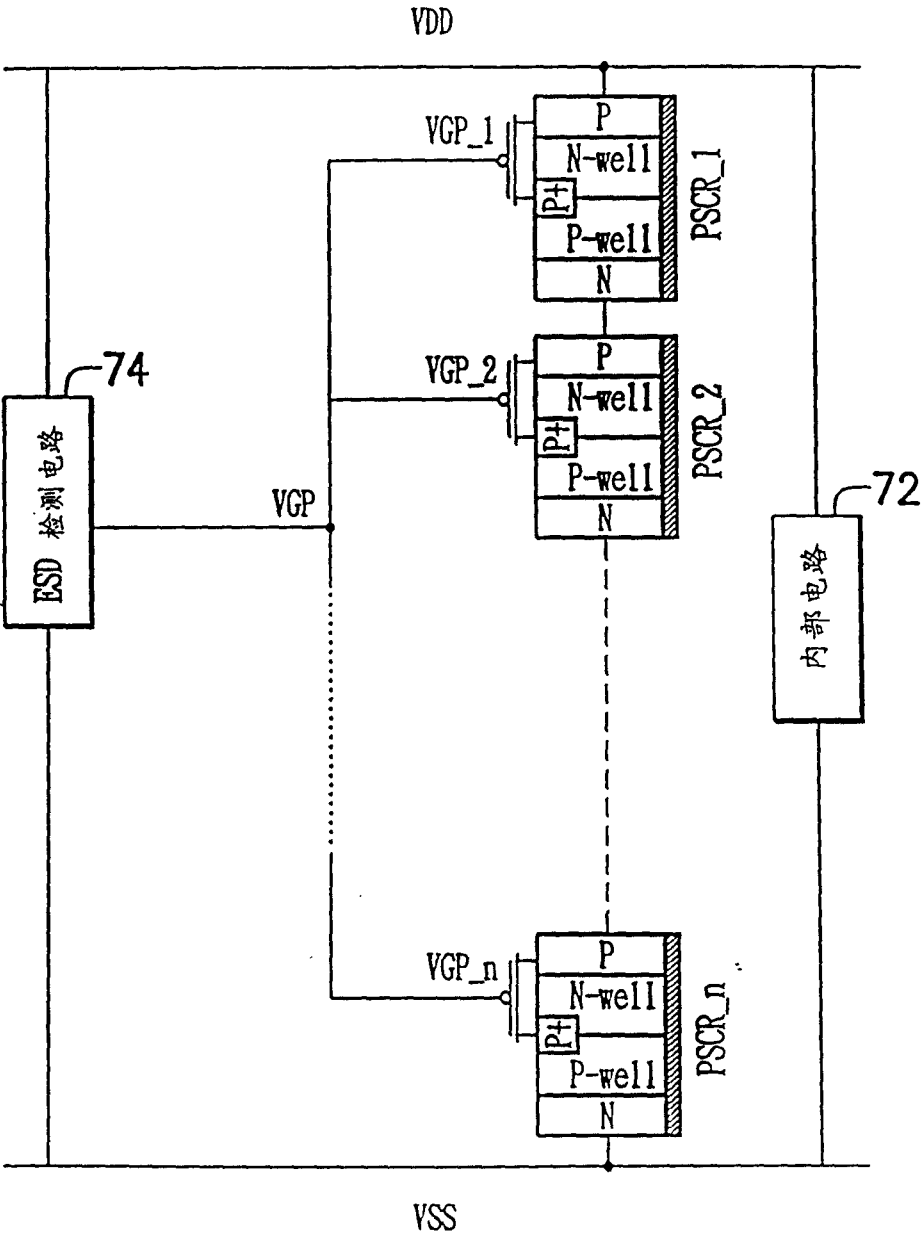


图 9

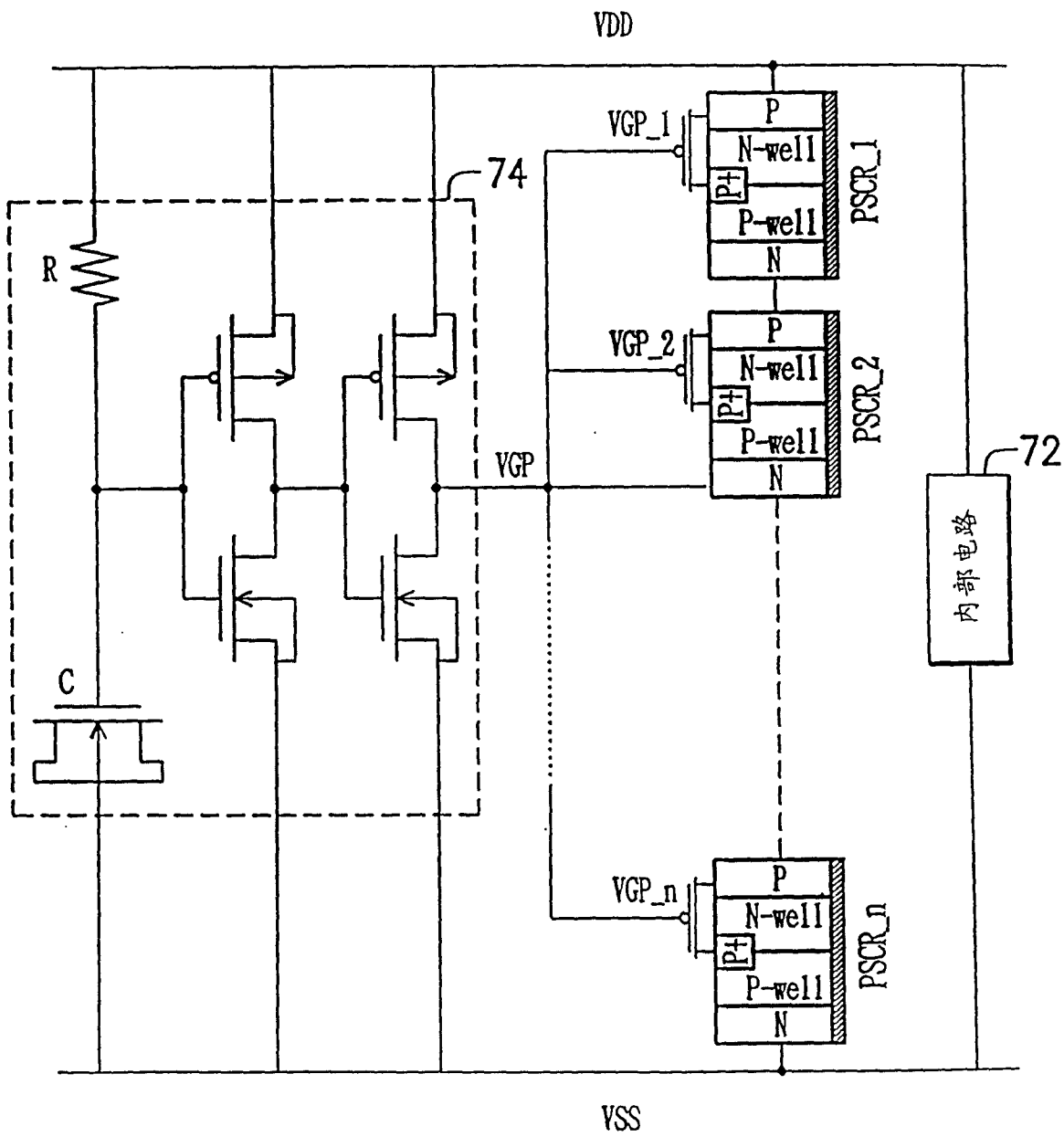


图 10

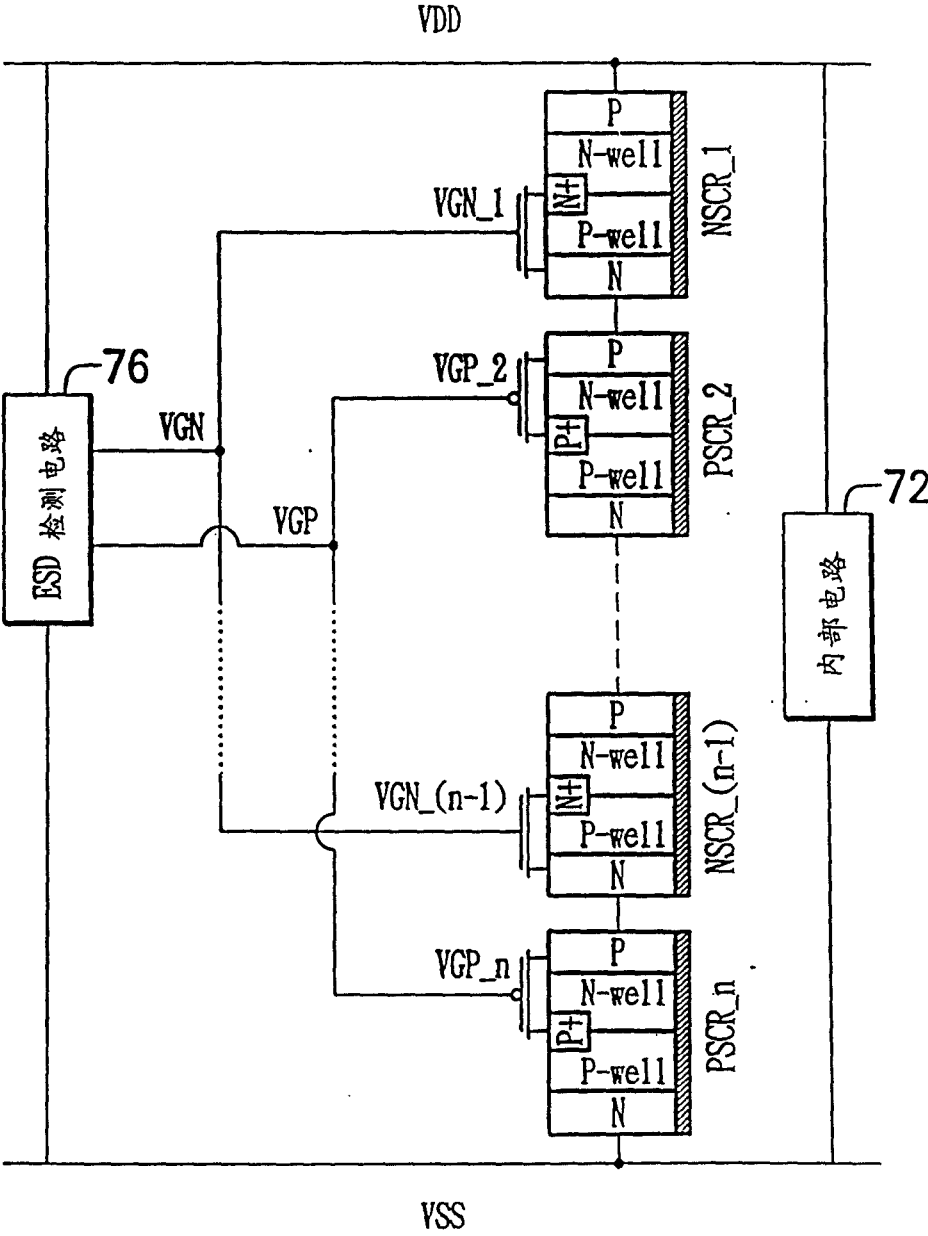


图 11

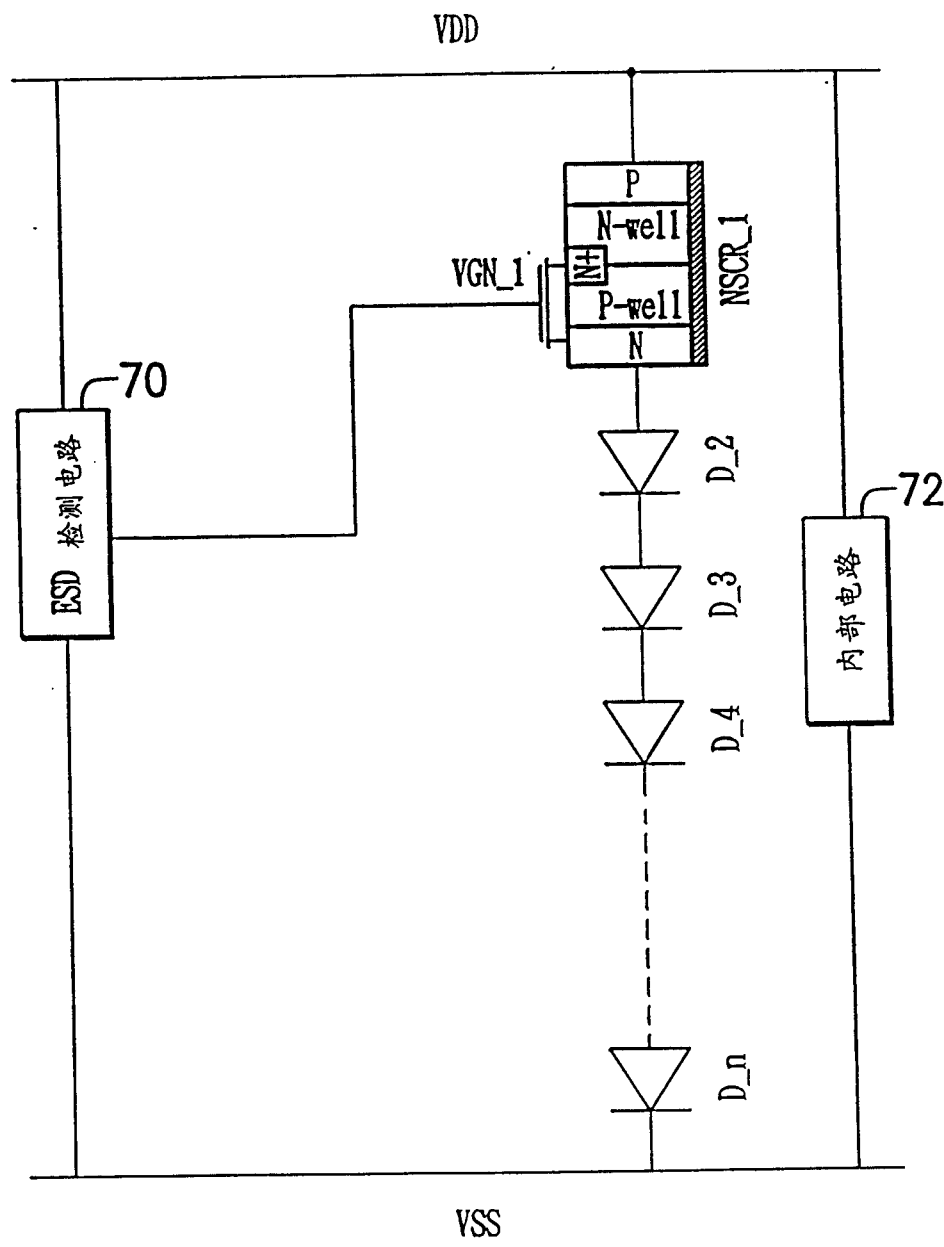


图 12

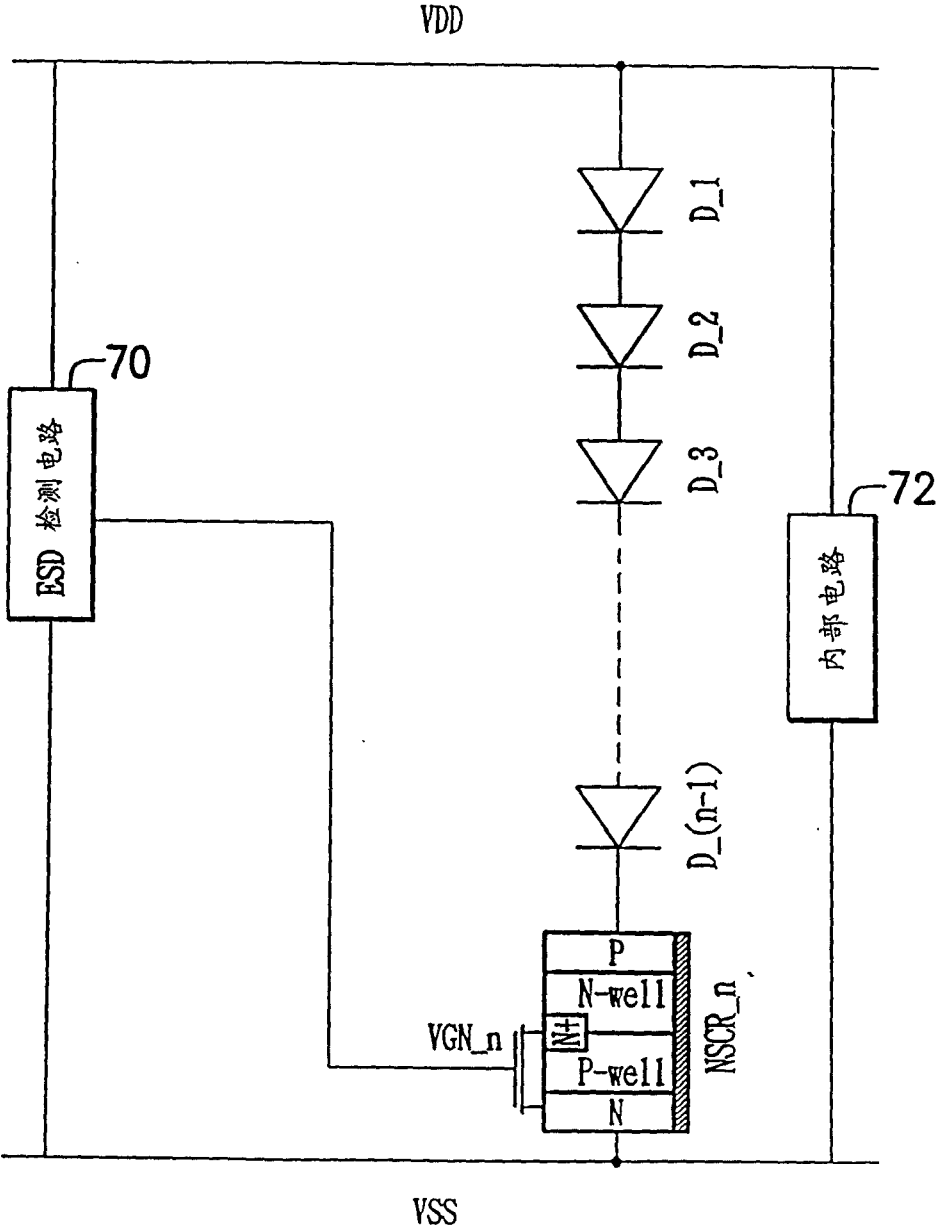


图 13

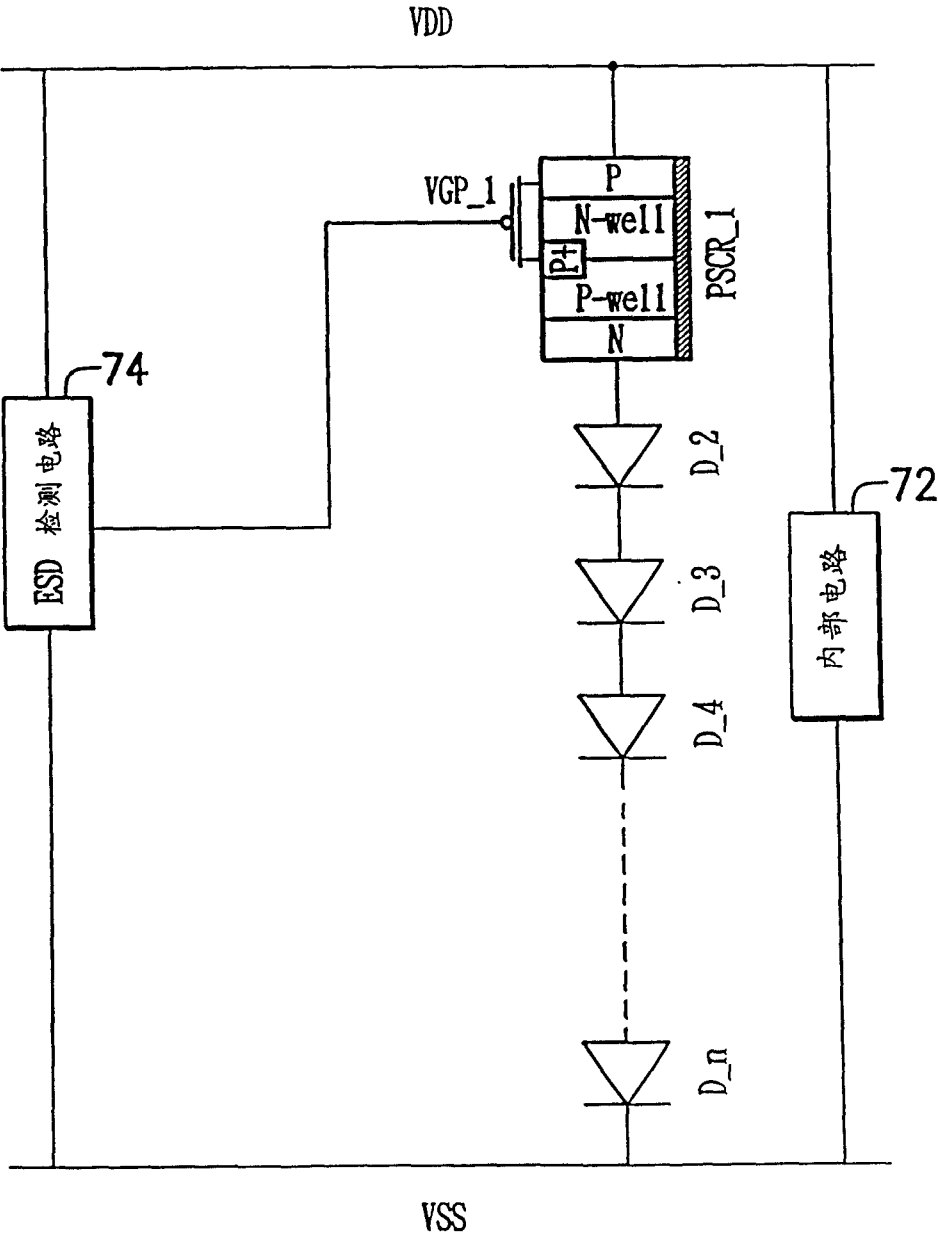


图 14

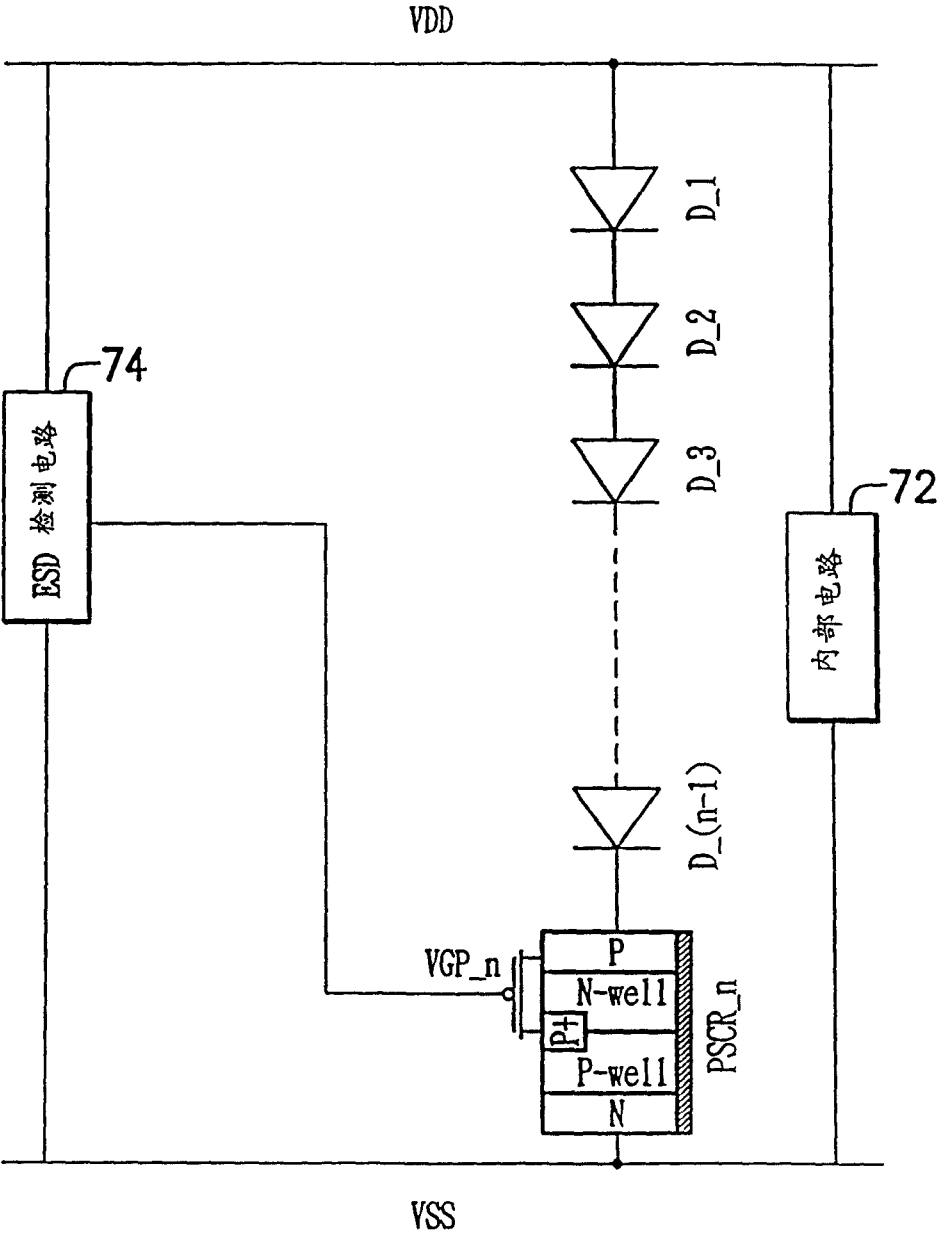


图 15

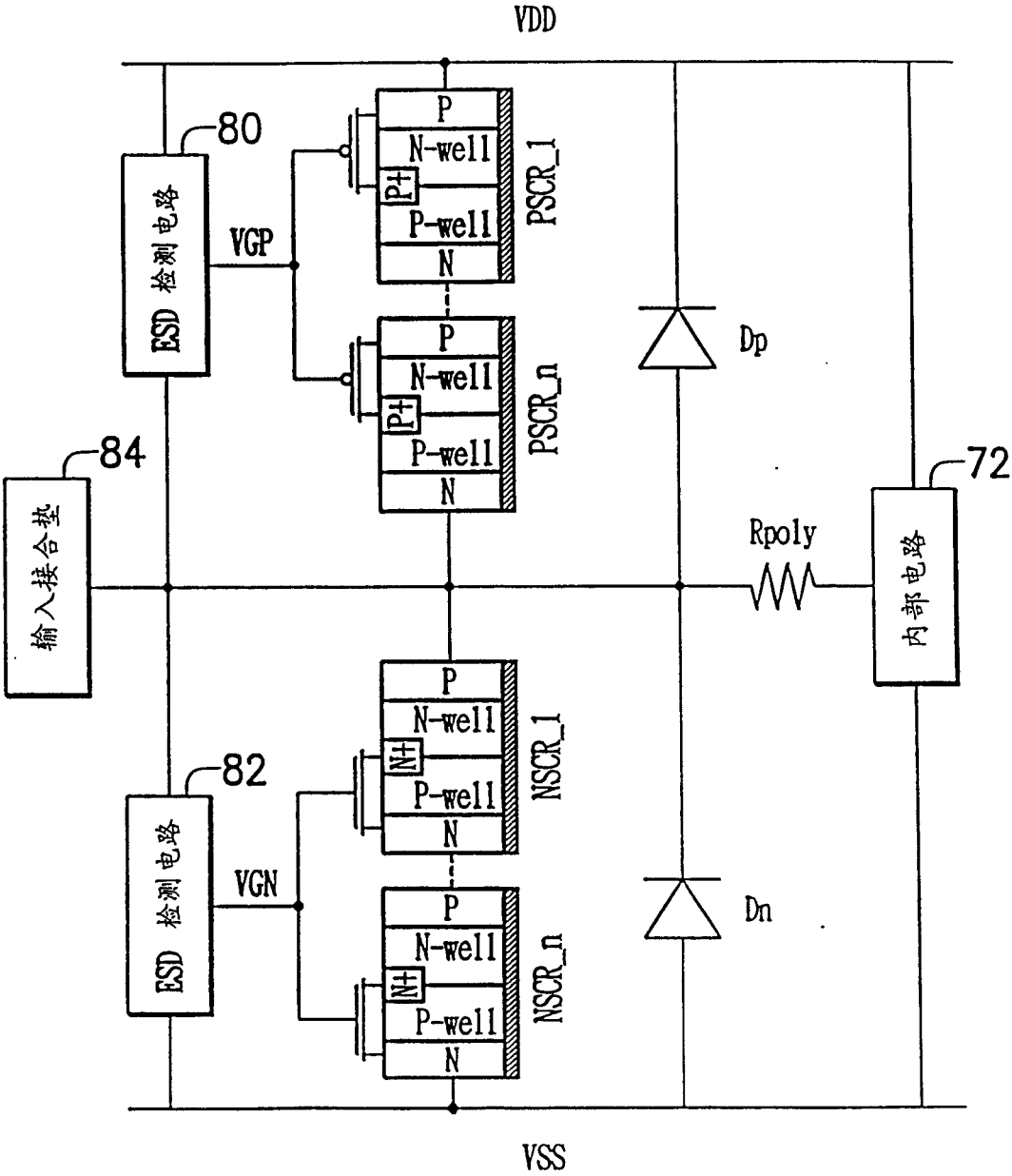


图 16

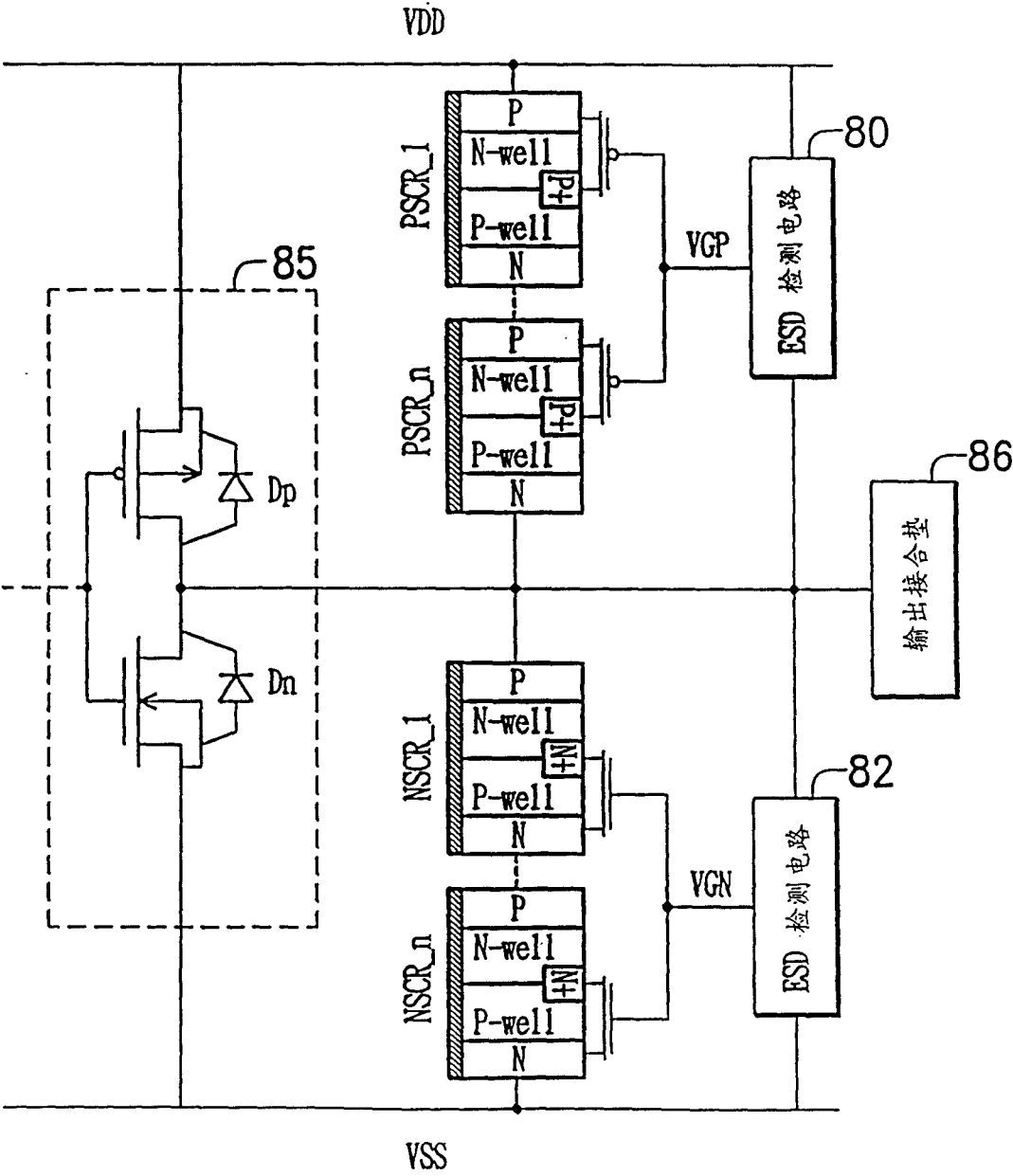


图 18

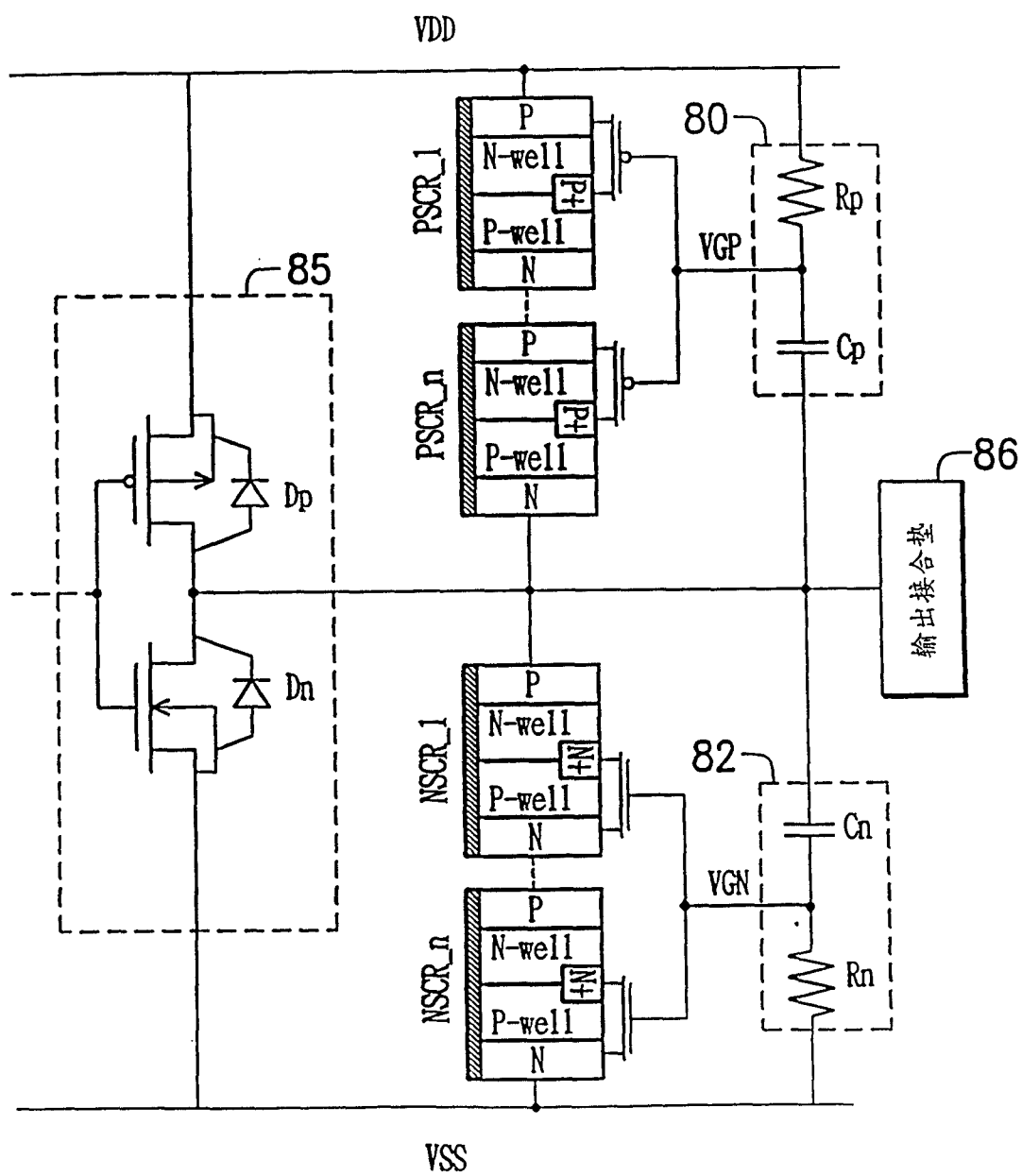


图 19

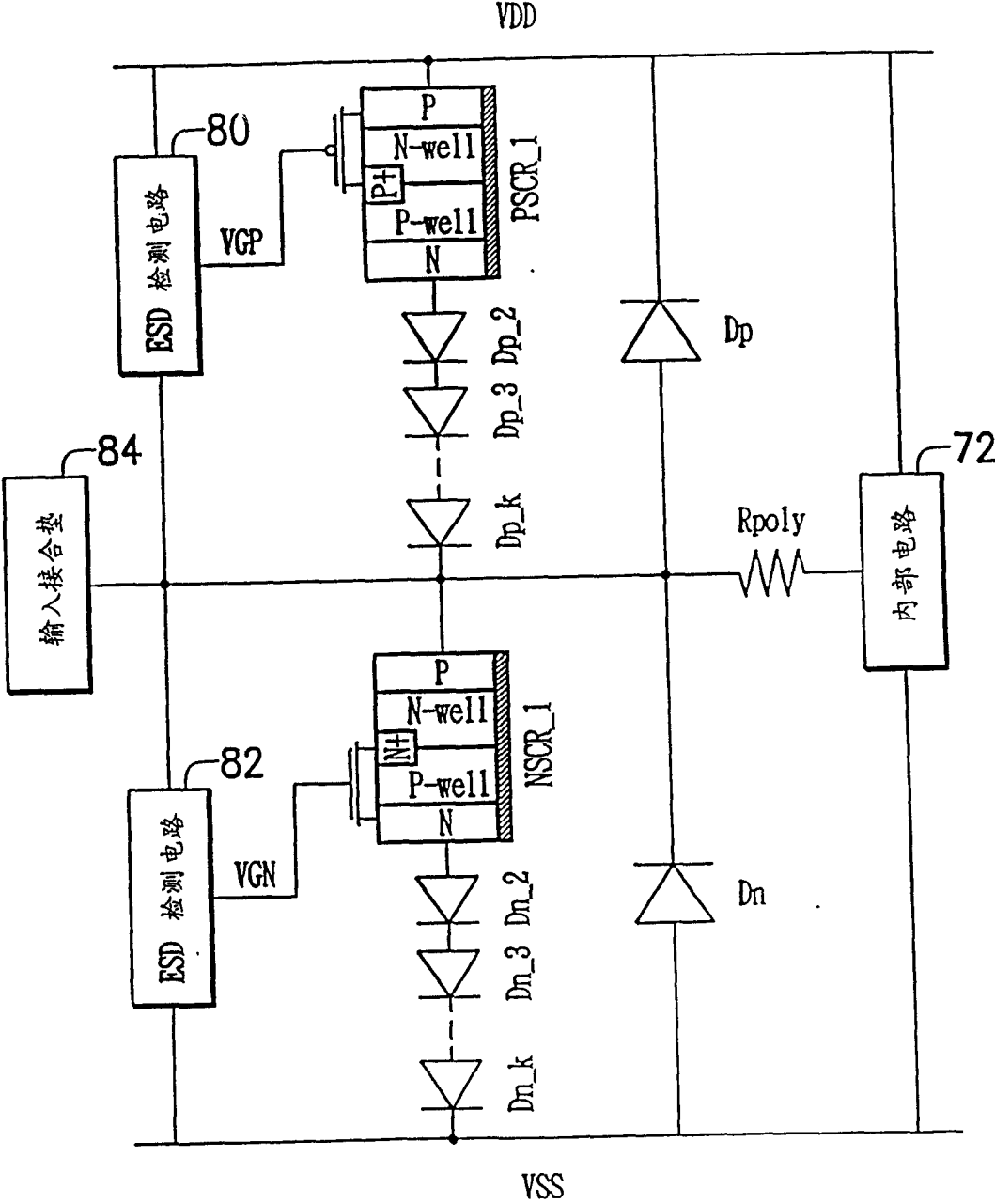


图 20

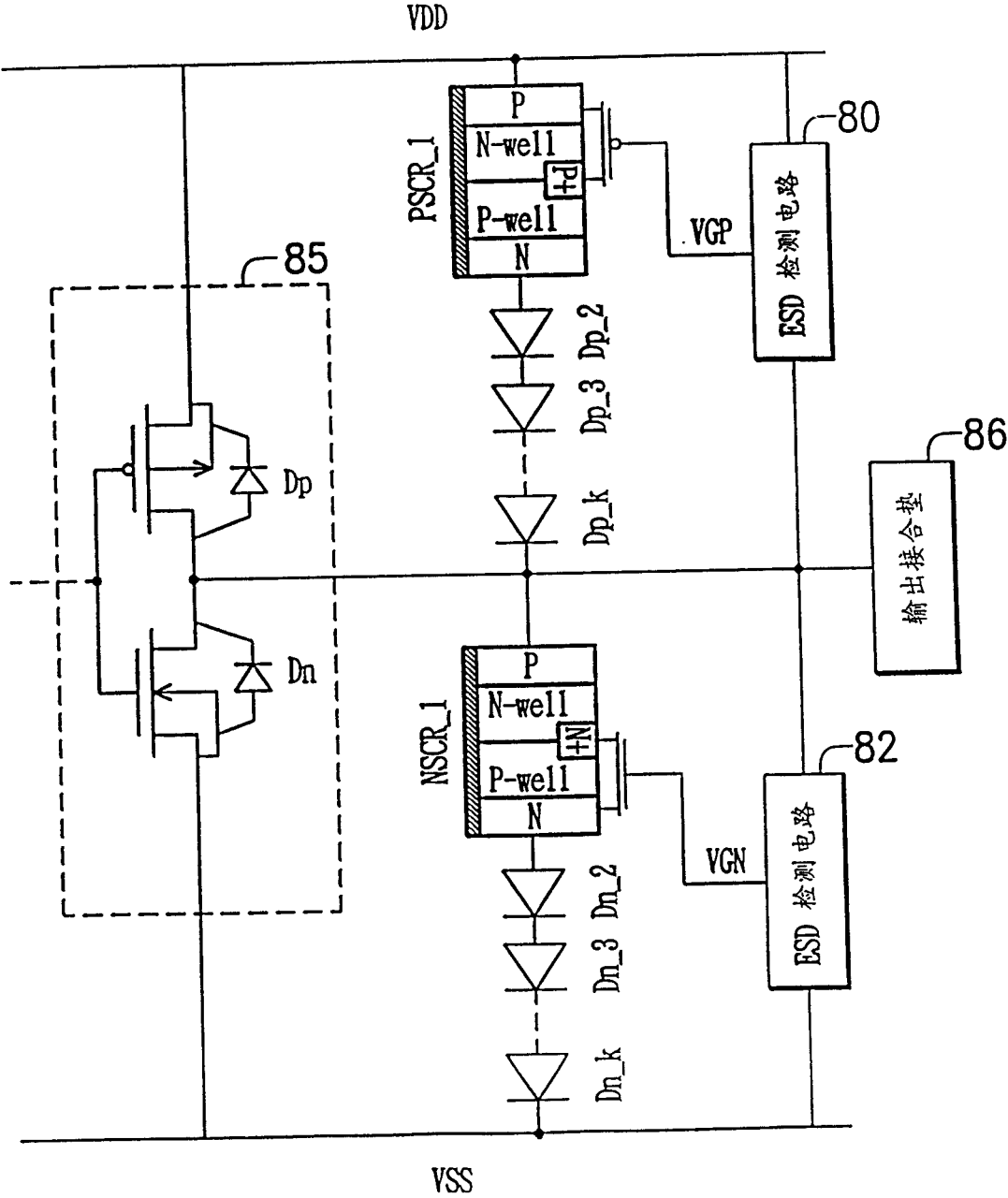


图 21

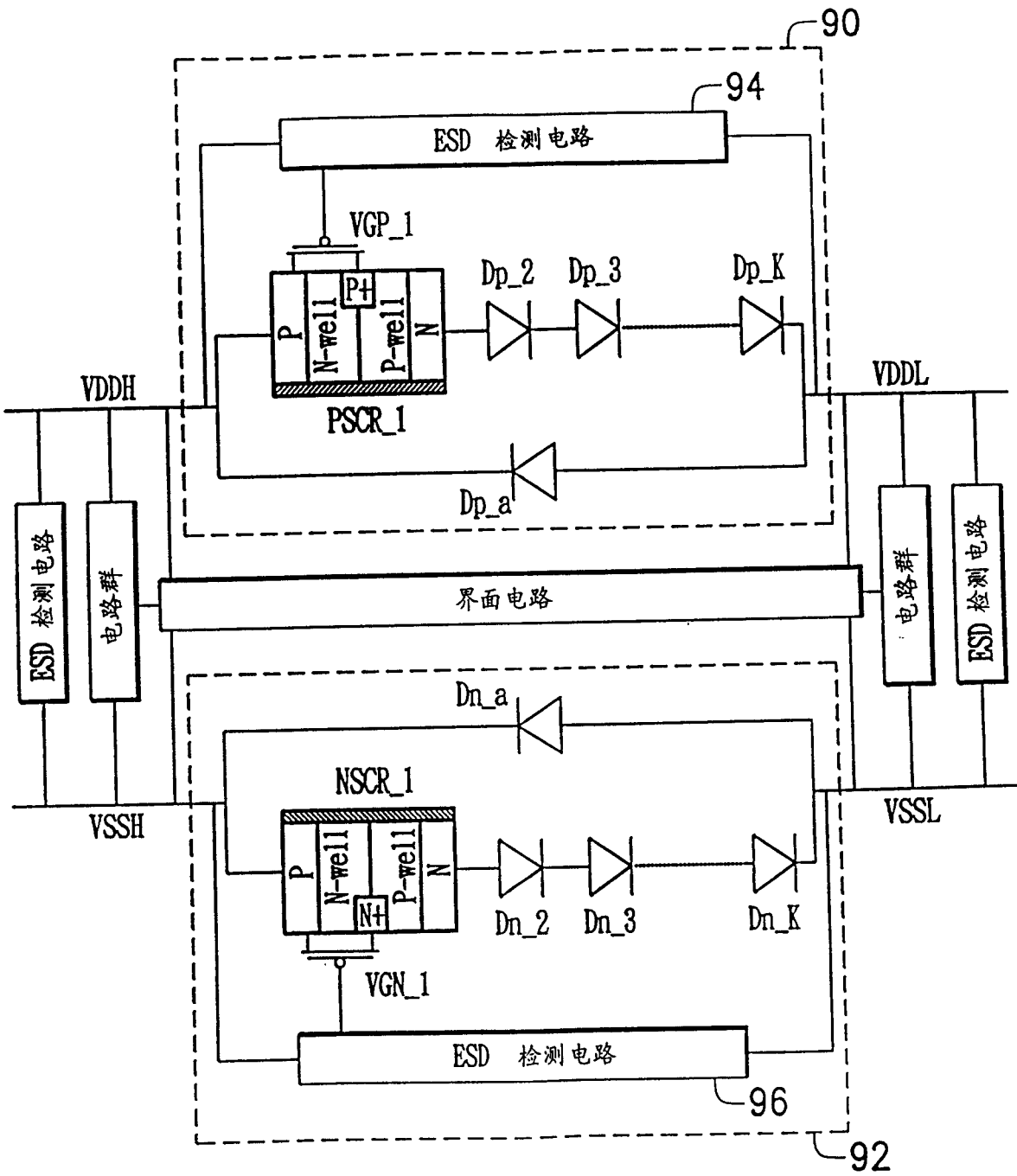


图 22

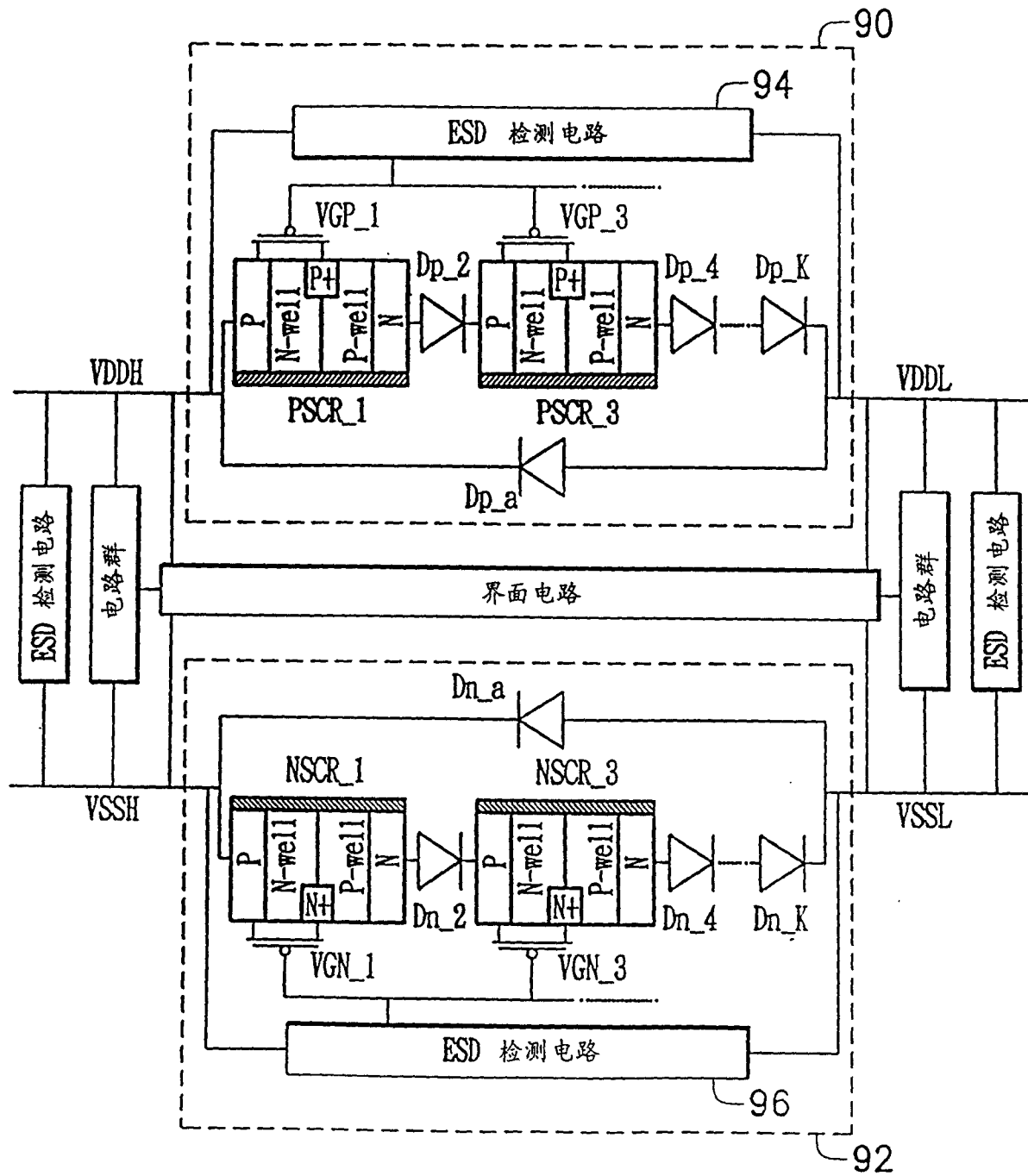


图 23